

LT165

Uart TFT LCD Display Controller

串口屏控制芯片

简易版规格书

V1.2

版本记录

版 本	日 期	说 明
V1.0	2024/11/15	● 初版
V1.0A	2025/07/17	● 原理图修改：串口升级 USART0 改为使用 USART1；增加了 RTP 的电路
V1.1	2025/09/16	● 移除 LT165B 相关信息
V1.2	2025/12/24	● 修改表 5-2：IO 电气参数表、表 5-3：电源特性

版权说明

本文件之版权属于 乐升半导体 所有，若需要复制或复印请事先得到 乐升半导体 的许可。本文件记载之信息虽然都有经过校对，但是 乐升半导体 对文件使用说明的规格不承担任何责任，文件内提到的应用程序仅用于参考，乐升半导体 不保证此类应用程序不需要进一步修改。乐升半导体 保留在不事先通知的情况下更改其产品规格或文件的权利。有关最新产品信息，请访问我们的网站 [Http://www.levetop.cn](http://www.levetop.cn) 。

目 录

版本记录	2
版权说明	2
目 录	3
图 附 录	5
表 附 录	6
1. LT165 介绍	7
1.1. 基本简介	7
1.2. 内部方块图	8
1.3. 功能说明	9
1.3.1. 32-bits RISC 处理器内核	9
1.3.2. 32K Bytes SRAM 内存	9
1.3.3. 6K Bytes ROM 内存	9
1.3.4. 2K Byte 高速缓存	9
1.3.5. 外部总线控制器 (EBI)	9
1.3.6. 直接内存存取控制器模块 (DMA)	10
1.3.7. 复位控制器模块 (RESET)	10
1.3.8. 可编程中断计时器模块 (PIT)	11
1.3.9. 看门狗模块 (WDT)	11
1.3.10. RTC 时钟 (Real Time Clock)	11
1.3.11. 外部中断控制模块 (EPORT)	11
1.3.12. 串行接口模块 (SPI)	11
1.3.13. 同步串行接口 (SSI / QSPI)	12
1.3.14. 通用异步收发器 (SCI / UART)	12
1.3.15. CANBus 控制器	13
1.3.16. 脉冲宽度调制模块 (PWM)	14
1.3.17. 模数转换器模块 (ADC)	14
1.3.18. I2C 模块	15
1.3.19. 模拟比较器 (Analog Comparator)	15
1.3.20. 触控传感器 (Touch Sensor)	15
1.3.21. 电源管理单元 (PMU)	16
1.3.22. 可程序化电压侦测 (Voltage Detector)	16
1.3.23. 内部时钟 (Internal Oscillator)	16
1.3.24. 外部晶振 (External Crystal Oscillator)	16
1.4. 系统应用方块图	16

2. 引脚信号说明.....	17
2.1. 芯片脚位图.....	17
2.2. 信号特性.....	18
2.3. 信号说明.....	20
2.4. LT165A 资源表.....	28
3. 硬件接口.....	29
3.1. 主控端 MCU 通讯接口	29
3.2. TFT LCD 屏的控制接口	29
3.3. QSPI 接口.....	30
3.4. LCD 触控屏接口.....	30
3.5. 时钟信号源接口	31
3.6. Can Bus 接口	31
3.7. LCD 背光控制接口.....	32
3.8. RTC (Real Time Clock) 的时钟源与电源.....	33
3.9. 复位 (Reset)	33
4. 内存与寄存器配置.....	34
4.1. 简要说明.....	34
4.2. 内存地址配置图	34
5. 电气特性.....	36
5.1. 极限参数.....	36
5.2. DC 电气参数.....	36
5.3. ESD 保护规格.....	37
5.4. VDD 上电时序.....	38
6. 参考原理图	39
7. 封装讯息.....	41
7.1. LT165A (QFN-40pin).....	41
7.2. 芯片接地焊盘的 PCB 设计	42

图 附录

图 1-1: LT165A 外观图	8
图 1-2: 内部方块图.....	8
图 1-3: LT165 系统应用方块图.....	16
图 2-1: LT165A (QFN-40) 脚位图.....	17
图 3-1: LT165 的串口和主控 MCU 的通讯	29
图 3-2: LT165A 与 8 位 8080 并行接口的 TFT 屏连接	29
图 3-3: LT165 与 SPI 串行接口的 TFT 屏连接	30
图 3-4: LT165 连接 QSPI Flash 原理图	30
图 3-5: LT165 连接到电阻触控屏.....	30
图 3-6: LT165 连接到电容触控屏.....	31
图 3-7: 外部的 12MHz 晶振原理图.....	31
图 3-8: Canbus 驱动原理图.....	31
图 3-9: TFT LCD 背光控制参考原理图 - 1	32
图 3-10: TFT LCD 背光控制参考原理图 - 2.....	32
图 3-11: RTC 时钟源与外部电池电源的参考原理图.....	33
图 3-12: 外部复位参考原理图.....	33
图 4-1: 内存地址配置图	34
图 5-1: VDD 上电要求时序图	38
图 6-1: LT165A 接 8bit 8080 MCU 屏的参考原理图.....	39
图 6-2: LT165A 接 SPI MCU 屏的参考原理图	40
图 7-1: LT165A 外观尺寸图	41
图 7-2: LT165A 底部焊盘 PCB 的设计建议	42

表 附录

表 1-1: LT165 型号.....	7
表 2-1: 信号特性说明.....	18
表 2-2: 引脚信号说明.....	20
表 2-3: LT165A 资源表	28
表 4-1: 硬件模块与寄存器地址的配置图	35
表 5-1: 电气极限参数表	36
表 5-2: IO 电气参数表(3.3V).....	36
表 5-3: 电源特性.....	37
表 5-4: PVDC 设置表對應 VOP _L	37
表 5-5: ESD 保护规格	37
表 5-6: VDD 上电 (Power Up) 特性.....	38
表 7-1: LT165A 封装尺寸参数.....	41

1. LT165 介绍

1.1. 基本简介

LT165 是一颗低成本高效能的 Uart 串口屏控制芯片，其内部采用 32bit RISC 核心架构，主要的功能就是提供 Uart 串口通讯，让主控端 MCU 透过简单的通讯指令就能轻易的将要显示到 TFT 屏的内容传递给 TFT 屏上的驱动器 (Driver)，LT165 内部硬件及串口程序提供高速图像处理的功能，能够达到极佳的显示效率及降低主控端 MCU 处理图形显示的时间，LT165 支持分辨率 320*240 以内的 8 位并口 MCU 屏、或是 SPI 串口的 TFT LCD 屏。

LT165 内部的主频可达 150MHz，含有 32KB SRAM，除了提供串口通讯，也提供一个 QSPI Flash 接口，用来快速读取储存在外部 SPI Flash 的程序代码、图片、动画等信息，LT165 可以配合 乐升半导体 研发的串口屏开发软件 (UI_Editor)、模拟软件 (UI_Emulator)，直接在电脑上进行产品的 UI 显示界面开发，其所支持的显示功能包括图片显示、GIF 动画显示、循环图片显示、进度条显示、显示、文字字符串显示、PWM (DMA 模式) 音讯播放，及结合触控功能的多变量控制显示，除了提升显示效率外，也大幅缩短 TFT 显示的开发周期。此外，LT165 还提供另一组的 SCI (Uart) 接口可以连接如蓝牙模块或 WiFi 模块，也有包括 CanBus、模拟输入 AIN、PWM 及 INT 中断等接口，还有电容触控输入接口，这些也可设置成普通 IO 接口，同时自带 RTC 时钟，丰富的功能增加了串口屏的实用与适用范围，芯片特性符合车规标准设计与应用。LT165 可以支持双屏显示、或是并屏显示的应用，具有良好的流畅度与极高的性价比。

在許多小型電子產品上，LT165 也可以将部分资源作为主控的 MCU，将主控及 TFT 显示功能由一颗 LT165 来完成，它的显示功能非常适合用在低分辨率 TFT-LCD 屏的电子产品上，如用来取代原单色屏产品，或是增加产品质感、档次，不会造成产品原主控端 MCU 太多的负担，可应用于各式小型電子產品如智能家电、手持控制设备、工业控制板、电子仪器、检测设备、小电摩、个人医美、小型检测设备、充电设备、水电表、带屏智能音箱、机器人眼睛等产品。

LT165 的工作频率高达 150MHz。温度范围为-40°C 至 105°C，工作电压为 3.3V。LT165 有两个不同封装的型号，如下所示：

表 1-1: LT165 型号

型 号	封 装	SRAM	TFT Panel
LT165A	QFN-40	32KB	● 8-bits 8080 MCU 接口 TFT 屏 ● SPI 接口 TFT 屏



QFN-40 (5.0*5.0 mm²)

图 1-1: LT165A 外观图

1.2. 内部方块图

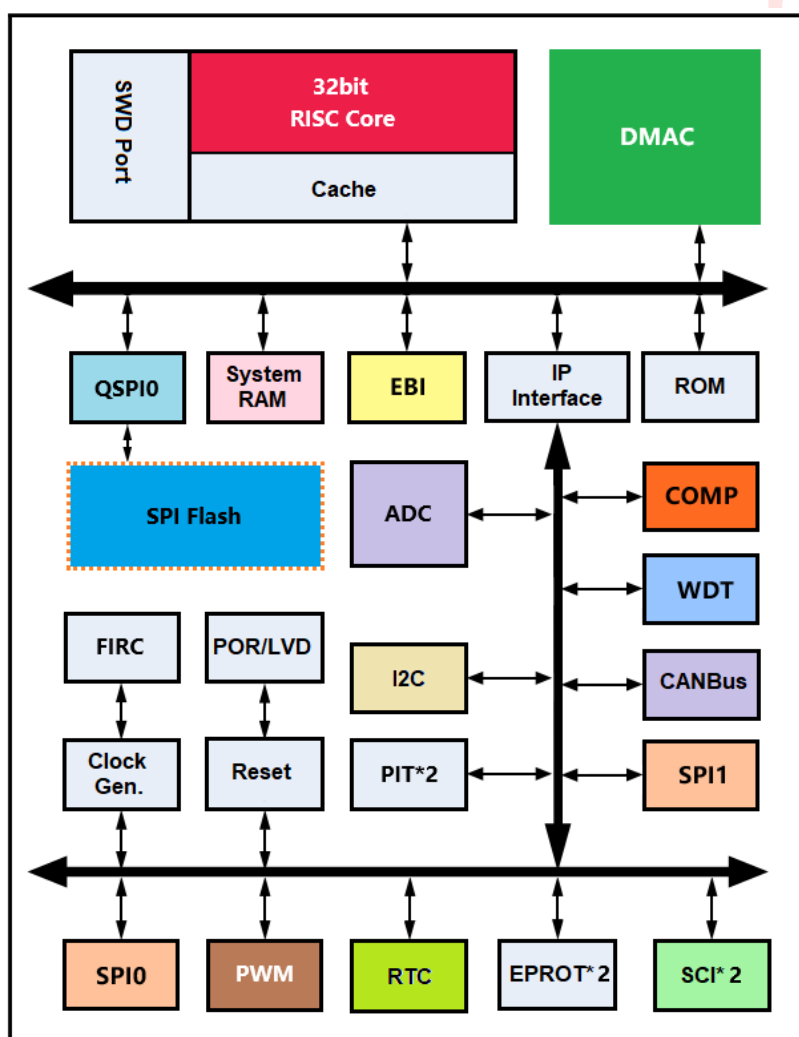


图 1-2: 内部方块图

1.3. 功能说明

1.3.1. 32-bits RISC 处理器内核

- 32-bit load/store reduced instruction set computer (RISC) architecture with fixed 16-bit instruction length
- 16 entry 32-bit general-purpose register file
- Efficient 3-stage execution pipeline, hidden from application software
- Single-cycle instruction execution for many Instructions, three cycles for branches
- Support for byte/halfword/word memory accesses
- Embedded interrupt controller, support nested vector interrupts.
- Single-cycle 32-bit x 32-bit hardware integer multiplier array
- 3~13 cycles hardware integer divider array

1.3.2. 32K Bytes SRAM 内存

- Single cycle byte, half-word (16-bit), and word (32-bit) reads and writes
- Two segments for improving performance at certain application
 - System RAM0: 16Kbytes and address range from 0x80_0000 to 0x80_3FFF
 - System RAM1: 16Kbytes and address range from 0x80_4000 to 0x80_7FFF

1.3.3. 6K Bytes ROM 内存

- Single cycle byte, half-word (16-bit), and word (32-bit) reads access

1.3.4. 2K Byte 高速缓存

- 2-way set -associative organization
- Two AHB bus interfaces, a master and a slave interface

1.3.5. 外部总线控制器 (EBI)

- Programmable wait states -up to 256 wait states can be programmed before the access terminated
- One programmable asynchronous active-low chip selects.
- Programmable chip selects wait cycle
- To interface with various panels, up to 256 chip selects asserted cycle can be programmed.
- Programmable read/write asserted cycle
- Programmable read/write negated cycle
- Support 8 bits port size.
- Support 8080 standard bus

1.3.6. 直接内存存取控制器模块 (DMA)

- 16 programmable channels to support independent 8, 16 or 32-bit single value or block transfers
- Support of variable sized queues and circular queues
- Source and destination address registers independently configured to post-increment or remain constant
- Each transfer initiated by peripheral, CPU, periodic timer interrupt or DMA channel request
- Peripheral DMA request sources possible from QSPI, QADC
- Each DMA channel able to optionally send interrupt request to CPU on completion of single value or block transfer
- DMA transfers possible between system memories and all accessible memory mapped locations including peripheral and registers
- DMA supports the following functionality:
 - Scatter Gather
 - Channel Linking
 - Inner Loop Offset
 - Arbitration
 - Fixed Group, fixed channel
 - Round Robin Group, fixed channel
 - Round Robin Group, Round Robin Channel
 - Fixed Group, Round Robin Channel
 - Channel preemption
 - Cancel channel transfer
- Interrupts – The DMA has a single interrupt request for each implemented channel and a combined DMA Error interrupt to flag transfer errors to the system

1.3.7. 复位控制器模块 (RESET)

- Internal power on reset circuit
- Five sources of reset:
 - Power-on reset
 - External pin
 - Software reset
 - Watchdog timer
 - Program Voltage Detect Reset
- Status flag indicates source of last reset

1.3.8. 可编程中断计时器模块 (PIT)

- 16-bit counter with modulus "initial count" register
- Selectable as free running or count down
- 16 selectable prescalers — 2^0 to 2^{15}
- support DMA interface

1.3.9. 看门狗模块 (WDT)

- 16-bit counter with modulus "initial count" register
- Pause option for low-power modes
- Up to 2000ms service time

1.3.10. RTC 时钟 (Real Time Clock)

- Support loading time data to and read time data from seconds, minutes, hours and days counters
- Support alarm settings
- Interrupt sources:
 - second, minute, hour, day interrupts
 - programmable alarm interrupts
 - 1KHZ/32KHZ periodic interrupts

1.3.11. 外部中断控制模块 (EPORT)

- Eight Channels for each EPORT
- Rising/falling edge select
- Low/High level sensitive
- Interrupt pins configurable as general-purpose I/O

1.3.12. 串行接口模块 (SPI)

- Master mode and slave mode
- Wired-OR mode
- Slave-select output
- Mode fault error flag with central processor unit (CPU) interrupt capability
- Double-buffered operation
- Serial clock with programmable polarity and phase
- Control of SPI operation during doze mode
- Reduced drive control for lower power consumption

1.3.13. 同步串行接口 (SSI / QSPI)

- Serial-master operation
- DMA controller interface
- Enables the SSI to interface to a DMA controller over the bus using handshaking interface for transfer requests.
- Clock stretching support in enhanced SPI transfers
- Data item size (4 to 32 bits) – Item size of each data transfer under control of the programmer
- Configurable depth of the transmit and receive FIFO buffers from 2 to 256 words deep. The FIFO width is fixed at 32 bits
- Enhanced SPI support
- Execute in Place (XIP) mode support

1.3.14. 通用异步收发器 (SCI / UART)

- Full-duplex, standard non-return-to-zero (NRZ) format
- Programmable baud rates (13-bit modulo divider) with configurable oversampling ratio from 4x to 256x
- Interrupt, polled operation:
 - Transmit data register empty and transmission complete
 - Receive data register full
 - Receive overrun, parity error, framing error, and noise error
 - Idle receiver detect
 - Active edge on receive pin
 - Break detect supporting LIN
 - Receive data match
- Hardware parity generation and checking
- Programmable 8-bit, 9-bit or 10-bit character length
- Programmable 1-bit or 2-bit stop bits
- Three receiver wakeup methods:
 - Idle line wakeup
 - Address mark wakeup
 - Receive data match
- Automatic address matching to reduce ISR overhead:
 - Address mark matching
 - Idle line address matching
 - Address match start, address match end
- Optional 13-bit break character generation / 11-bit break character detection
- Configurable idle length detection supporting 1, 2, 4, 8, 16, 32, 64 or 128 idle characters
- Selectable transmitter output and receiver input polarity
- Selectable IrDA 1.4 return-to-zero-inverted (RZI) format with programmable pulse width

- Independent FIFO structure for transmit and receive
 - Separate configurable watermark for receive and transmit requests
 - Option for receiver to assert request after a configurable number of idle characters if receive FIFO is not empty

1.3.15. CANBus 控制器

- Full implementation of the CAN protocol specification, version 2.0B
 - Standard data and remote frames
 - Extended data and remote frames
 - 0–8 bytes data length
 - Programmable bit rate up to 1 Mbit/s
 - Content-related addressing
- 16 Message Buffers of zero to eight bytes data length
- Each MB configurable as Rx or Tx, all supporting standard and extended messages
- Individual Rx Mask Registers per Message Buffer
- Includes 288bytes (16 MBs) of SRAM used for MB storage
- Includes 64 bytes (16 MBs) of SRAM used for individual Rx Mask Registers
- Full featured Rx FIFO with storage capacity for 6 frames and internal pointer handling
- Powerful Rx FIFO ID filtering, capable of matching incoming IDs against either 8 extended, 16 standard or 32 partial (8 bits) IDs, with individual masking capability
- Programmable clock source to the CAN Protocol Interface, either bus clock or crystal oscillator
- Unused MB and Rx Mask Register space can be used as general purpose SRAM space
- Listen-only mode capability
- Programmable loop-back mode supporting self-test operation
- Programmable transmission priority scheme: lowest ID, lowest buffer number or highest priority
- Time Stamp based on 16-bit free-running timer
- Global network time, synchronized by a specific message
- Maskable interrupts
- Independent of the transmission medium (an external transceiver is assumed)
- Short latency time due to an arbitration scheme for high-priority messages
- Low power mode
- Hardware cancellation on Tx message buffers

1.3.16. 脉冲宽度调制模块 (PWM)

- Four channel each PWM controller
- Programmable period
- Programmable duty cycle
- Two Dead-Zone generator
- Capture function
- Pins can be configured as general-purpose I/O

1.3.17. 模数转换器模块 (ADC)

- High performance
 - 12-bit, 10-bit, 8-bit or 6-bit configurable resolution
 - ADC conversion time: 1.0 μ s for 12-bit resolution (1 MHz), 0.88 μ s conversion time for 10 bit resolution, faster conversion times can be obtained by lowering resolution.
 - Programmable sampling time
 - Data alignment with built-in data coherency
 - DMA support
- Low power
 - Application can reduce PLCK frequency for low power operation while still keeping optimum ADC performance. For example, 1.0 μ s conversion time is kept, whatever the frequency of PCLK.
 - Wait mode: prevents ADC overrun in applications with low frequency PLCK
 - Auto off mode: ADC is automatically powered off except during the active conversion phase. This dramatically reduces the power consumption of the ADC.
- Analog input channels
 - 3 external analog inputs
 - 1 channel for internal temperature sensor
- Start-of-conversion can be initiated:
 - By software
 - By hardware triggers with configurable polarity
- Conversion modes
 - Can convert a single channel or can scan a sequence of channels. Single mode converts selected inputs once per trigger
 - Continuous mode converts selected inputs continuously
 - Discontinuous mode
- Interrupt generation at the end of sampling, end of conversion, end of sequence conversion, and in case of analog watchdog or overrun events.
- Analog watchdog
- Single-ended and differential-input configurations
 - Converter uses an internal reference or an external reference

1.3.18. I2C 模块

- Supports 7 bit addressing.
- Supports Standard Mode, Fast Mode and High-Speed Mode
- Software option to select between High-Speed mode and Standard/Fast mode
- Compatibility with standard and fast-mode of I2C bus version 2.1 standard.
- Multiple-master operation.
- Software-programmable for one of 64 different serial clock frequencies.
- Software-selectable acknowledge bit.
- Interrupt-driven, byte-by-byte data transfer.
- Arbitration-lost interrupt with automatic mode switching from master to slave.
- Transfer completion and read configure interrupt.
- Start and stop signal generation/detection.
- Repeated START signal generation.LT32A05_SPEC_ENG/V0.0
- Acknowledge bit generation/detection.
- Bus-busy detection.
- Option slave address receiving enable when system clock stop mode
- SCL or SDA line gpio function supported

1.3.19. 模拟比较器 (Analog Comparator)

- Programmable response time
- Programmable hysteresis
- Support analog input multiplexer with nine selections
- Two optional outputs: filtered or asynchronous output
- Selectable rising/falling edge interrupt

1.3.20. 触控传感器 (Touch Sensor)

- Support four touch keys
- Support three clock mode with charge or discharge function
 - Frequency range from 369Khz to 6Mhz with Fixed clock divider
 - Frequency with PRS 1.5Mhz follow Normal Distribution
 - Frequency with PRS 1.5Mhz follow even Distribution
- Programmable counter clock frequency with 24/12/6/4Mhz
- Programmable counter width range from 9 to 16 bits
- Support synchronous scan mode

1.3.21. 电源管理单元 (PMU)

- Support on-chip 1.2V LDO with maximum load current 150mA
- 1.2V LDO support two mode: lower power, high power

1.3.22. 可程序化电压侦测 (Voltage Detector)

- Programmable voltage detector

1.3.23. 内部时钟 (Internal Oscillator)

- 128KHz on-chip oscillator clock for watchdog and PMU
- Fast Internal RC clock which can be used for system clock

1.3.24. 外部晶振 (External Crystal Oscillator)

- 32.768KHz external crystal Oscillator clock which can be used for RTC
- Fast external crystal Oscillator clock which can be used for system clock

1.4. 系统应用方块图

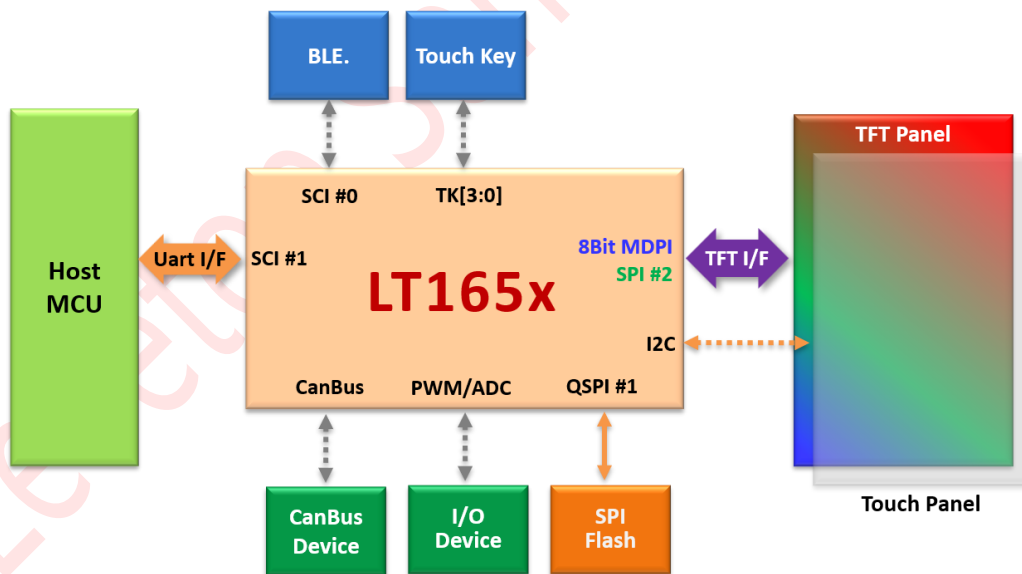


图 1-3: LT165 系统应用方块图

2. 引脚信号说明

2.1. 芯片脚位图

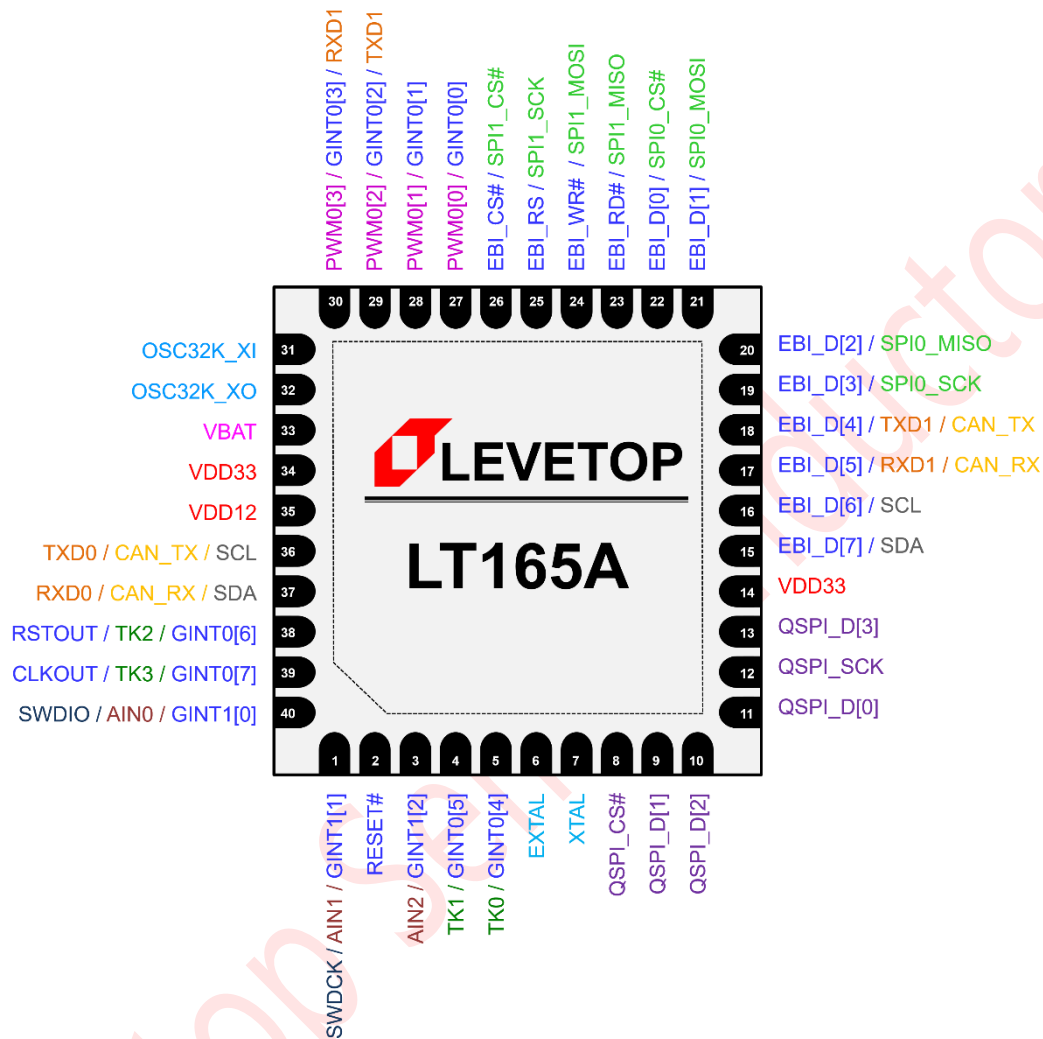


图 2-1: LT165A (QFN-40) 脚位图

2.2. 信号特性

表 2-1：信号特性说明

引脚名称	复用信号 1	复用信号 2	GPIO	Default State	Default Dir *1	Pullup *2	IO Type *3
SCI (2)							
TXD0	SCL	CAN_TX	GPIO29	HiZ	--	--	I/O
RXD0	SDA	CAN_RX	GPIO30	HiZ	--	--	I/O
QSPI (6)							
QSPI_CS#	--	--	GPIO19	HiZ	--	--	I/O
QSPI_D[0]	--	--	GPIO20	HiZ	--	--	I/O
QSPI_D[1]	--	--	GPIO21	HiZ	--	--	I/O
QSPI_D[2]	--	--	GPIO22	HiZ	--	--	I/O
QSPI_D[3]	--	--	GPIO23	HiZ	--	--	I/O
QSPI_SCK	--	--	GPIO24	HiZ	--	--	I/O
PWM0 (4)							
PWM0[0]	GINT0[0]	COMP0_OUT	GPIO0	HiZ	--	--	I/O
PWM0[1]	GINT0[1]	--	GPIO1	HiZ	--	--	I/O
PWM0[2]	GINT0[2]	TXD1	GPIO2	HiZ	--	--	I/O
PWM0[3]	GINT0[3]	RXD1	GPIO3	HiZ	--	--	I/O
ADC (1)							
AIN2	GINT1[2]	--	GPIO18	HiZ	--	--	I/O
Touch (2)							
TK0	GINT0[4]	--	GPIO4	HiZ	--	--	I/O
TK1	GINT0[5]	--	GPIO5	HiZ	--	--	I/O
Programming Port (2)							
SWDIO	GINT1[0]	AIN0	GPIO16	I	I	PullUp	I/O
SWDCK	GINT1[1]	AIN1	GPIO17	I	I	PullUp	I/O
CLOCK (5)							
EXTAL	--	--	--	HiZ/I	--/I	--	I
XTAL	--	--	--	HiZ/O	--/O	--	O
OSC32K_XI	--	--	--	I	I	-	I
OSC32K_XO	--	--	--	O	O	--	O
CLKOUT	GINT0[7]	TK3	GPIO7	O	O	--	I/O
RESET (2)							
RESET#	--	--	--	I	I	PullUp	I
RSTOUT	GINT0[6]	TK2	GPIO6	O	O	--	I/O
EBI (12)							
EBI_CS#	SPI1_CS#	--	GPIO25	HiZ	--	--	I/O

LT165_BFDS_CH / V1.2

引脚名称	复用信号 1	复用信号 2	GPIO	Default State	Default Dir *1	Pullup *2	IO Type *3
EBI_RS	SPI1_SCK	--	GPIO28	HiZ	--	--	I/O
EBI_RD#	SPI1_MISO	--	GPIO27	HiZ	--	--	I/O
EBI_WR#	SPI1_MOSI	--	GPIO26	HiZ	--	--	I/O
EBI_D[0]	SPI0_CS#	--	GPIO8	HiZ	--	--	I/O
EBI_D[1]	SPI0_MOSI	--	GPIO9	HiZ	--	--	I/O
EBI_D[2]	SPI0_MISO	--	GPIO10	HiZ	--	--	I/O
EBI_D[3]	SPI0_SCK	--	GPIO11	HiZ	--	--	I/O
EBI_D[4]	TXD1	CAN_TX	GPIO12	HiZ	--	--	I/O
EBI_D[5]	RXD1	CAN_RX	GPIO13	HiZ	--	--	I/O
EBI_D[6]	SCL	--	GPIO14	HiZ	--	--	I/O
EBI_D[7]	SDA	--	GPIO15	HiZ	--	--	I/O
Power Supply (5)							
VDD33	--	--	--	P	--	--	--
VDD12	--	--	--	P	--	--	--
AVDD	--	--	--	P	--	--	--
VBAT	--	--	--	P	--	--	--
VSS	--	--	--	G	--	--	--

提示:

1. “Default Dir” 是指复位后的方向。“I” 代表输入，“O” 代表输出，“O (H)” 代表输出高、“O (L)” 表示输出低、“HiZ” 表示输入和输出均已禁用，上拉/下拉也已禁用。
2. 当信号被设置为输出时，所有上拉和下拉都断开。
3. “IO TYPE” 指的是引脚设计：“I” 代表仅具有输入功能的引脚；“O” 代表仅输出功能引脚；“I/O” 代表引脚具有输入和输出的功能。

2.3. 信号说明

本章节提供引脚信号的简要说明，有关更多详细信息，请参阅特定模块部分。

表 2-2：引脚信号说明

信号名称	引脚号	引脚说明
串口模块信号 0 (Serial Communications Interface – 0, SCI0)		
RXD0	37	SCI 接收数据 此信号用于 SCI0 接收器数据输入，当未配置为接收器操作时，也可复用于 SDA、CAN_RX 或是 GPIO30 信号。关于复用信号请参考表 2-1。
TXD0	36	SCI 传输数据 此信号用于 SCI0 发送器数据输出，当未配置为发送器操作时，也可复用于 SCL、CAN_RX 或是 GPIO29 信号。
串口模块信号 1 (SCI1)		
RXD1	17 / 30	SCI 接收数据 此信号用于 SCI1 接收器数据输入。 此信号有 2 个复用源，一个是与 EBI_D[5]、CAN_RX 或是 GPIO13 信号复用，另一个是与 PWM0[3]、GINT0[3]或是 GPIO3 信号复用。
TXD1	18 / 29	SCI 传输数据 此信号用于 SCI1 发送器数据输出。 此信号有 2 个复用源，一个是与 EBI_D[4]、CAN_TX 或是 GPIO12 信号复用，另一个是与 PWM0[2]、GINT0[2]或是 GPIO2 信号复用。
CAN Bus 模块信号		
CAN_RX	17 / 37	Can Bus 接收数据 此信号是来自 CANBus 收发器的接收引脚。显性状态由逻辑电平 “0” 表示。隐性状态由逻辑电平 “1” 表示。 此信号有 2 个复用源，当未配置为 CANBUS 操作时，一个是与 EBI_D[5]、RXD1 或是 GPIO13 信号复用，另一个是与 RXD0、SDA 或是 GPIO30 信号复用。

信号名称	引脚号	引脚说明
CAN_TX	18 / 36	Can Bus 传输数据 此信号是 CANBus 收发器的发送引脚。显性状态由逻辑电平 “0” 表示。隐性状态由逻辑电平 “1” 表示。 此信号有 2 个复用源，当未配置为 CANBUS 操作时，一个是与 EBI_D[4]、TXD1 或是 GPIO12 信号复用，另一个是与 TXD0、SCL 或是 GPIO29 信号复用。
外部总线 (External Bus Interface, EBI) 信号 外部总线接口负责控制内部总线和外部 8 位并口 MCU 显示屏间的信息传输。 只有 LT165A 提供 EBI 接口支持 8 位 MCU 显示屏。		
EBI_CS#	26	8 位 MCU 屏的片选信号 LT165A 提供 EBI 接口用来驱动 8080 MCU 接口的 TFT LCD 显示面板，此信号是外部总线接口的片选信号。 此信号与 SPI1_CS#或是 GPIO25 信号复用。
EBI_RS	25	8 位 MCU 屏的寄存器选择信号 此信号连接到 8Bit MCU 屏 RS 或 A0 信号。 此信号与 SPI1_SCK 或是 GPIO28 信号复用。
EBI_RD#	23	8 位 MCU 屏的数据读取控制信号 此信号为 LT165 对外部 8Bit MCU 屏的数据读取控制信号。 此信号与 SPI1_MISO 或是 GPIO27 信号复用。
EBI_WR#	24	8 位 MCU 屏的数据写入控制信号 此信号为 LT165 对外部 8Bit MCU 屏的数据写入控制信号。 此信号与 SPI1_MOSI 或是 GPIO26 信号复用。
EBI_D[0]	22	8 位 MCU 屏的数据信号 0 此信号为 LT165 对外部 8Bit MCU 屏的数据 Bit0 传输信号。此信号与 SPI0_CS#或是 GPIO8 信号复用。
EBI_D[1]	21	8 位 MCU 屏的数据信号 1 此信号为 LT165 对外部 8Bit MCU 屏的数据 Bit1 传输信号。此信号与 SPI0_MOSI 或是 GPIO9 信号复用。
EBI_D[2]	20	8 位 MCU 屏的数据信号 2 此信号为 LT165 对外部 8Bit MCU 屏的数据 Bit2 传输信号。此信号与 SPI0_MISO 或是 GPIO10 信号复用。

信号名称	引脚号	引脚说明
EBI_D[3]	19	8 位 MCU 屏的数据信号 3 此信号为 LT165 对外部 8Bit MCU 屏的数据 Bit3 传输信号。此信号与 SPI0_SCK 或是 GPIO11 信号复用。
EBI_D[4]	18	8 位 MCU 屏的数据信号 4 此信号为 LT165 对外部 8Bit MCU 屏的数据 Bit4 传输信号。此信号与 TXD1、CAN_TX 或是 GPIO12 信号复用。
EBI_D[5]	17	8 位 MCU 屏的数据信号 5 此信号为 LT165 对外部 8Bit MCU 屏的数据 Bit5 传输信号。此信号与 RXD1、CAN_RX 或是 GPIO13 信号复用。
EBI_D[6]	16	8 位 MCU 屏的数据信号 6 此信号为 LT165 对外部 8Bit MCU 屏的数据 Bit6 传输信号。此信号与 SCL 或是 GPIO14 信号复用。
EBI_D[7]	15	8 位 MCU 屏的数据信号 7 此信号为 LT165 对外部 8Bit MCU 屏的数据 Bit7 传输信号。此信号与 SDA 或是 GPIO15 信号复用。
I2C 控制信号		
SCL	16 / 36	I2C 时钟 此信号用于 I2C 时钟线信号。 此信号有 2 个复用源，当未配置为 I2C 操作时，一个是与 EBI_D[6]或是 GPIO14 信号复用，另一个是与 TXD0、CAN_TX 或是 GPIO29 信号复用。
SDA	15 / 37	I2C 数据 此信号用于 I2C 数据线信号。 此信号有 2 个复用源，当未配置为 I2C 操作时，一个是与 EBI_D[7]或是 GPIO15 信号复用，另一个是与 RXD0、CAN_RX 或是 GPIO30 信号复用。
四线 SPI 串口模块信号 (QSPI)		
QSPI_D[3:0]	13, 10, 9 11	QSPI 数据输入/输出 这些信号是 QSPI 在主模式下的数据输出或输入。
QSPI_CS#	8	QSPI 片选输出 此信号是 QSPI 在主模式和低电平有效模式下的片选信号。

信号名称	引脚号	引脚说明
QSPI_SCK	12	QSPI 时钟输出 此信号是 QSPI 在主模式下的串行时钟输出。
双线 SPI 串口模块信号 (SPI)		
SPI0_MOSI	21	SPI #0 的数据输出信号 此信号为第 1 组 SPI 输出数据。 此信号与 EBI_D[1]或是 GPIO9 信号复用。
SPI0_MISO	20	SPI #0 数据输入信号 此信号为第 1 组 SPI 的读取数据输入。 此信号与 EBI_D[2]或是 GPIO10 信号复用。
SPI0_CS#	22	SPI #0 芯片选择信号 此信号为第 1 组 SPI 的片选输出。 此信号与 EBI_D[0]或是 GPIO8 信号复用。
SPI0_SCK	19	SPI #0 串行时钟信号 此信号为第 1 组 SPI 的时钟信号输出。 此信号与 EBI_D[3]或是 GPIO11 信号复用。
SPI1_MOSI	24	SPI #1 的数据输出信号 此信号为第 2 组 SPI 输出数据。 此信号与 EBI_WR#或是 GPIO26 信号复用。
SPI1_MISO	23	SPI #1 数据输入信号 此信号为第 2 组 SPI 的读取数据输入。 此信号与 EBI_RD#或是 GPIO27 信号复用。
SPI1_CS#	26	SPI #1 芯片选择信号 此信号为第 2 组 SPI 的片选输出。 此信号与 EBI_CS#或是 GPIO25 信号复用。
SPI1_SCK	25	SPI #1 串行时钟信号 此信号为第 2 组 SPI 的时钟信号输出。 此信号与 EBI_RS 或是 GPIO28 信号复用。
Touch Key 信号		
TK0	5	Touch Key 0 输入 此信号也可复用于 GINT0[4]或是 GPIO4。

信号名称	引脚号	引脚说明
TK1	4	Touch Key 1 输入 此信号也可复用于 GINT0[5]或是 GPIO5。
TK2	38	Touch Key 2 输入 此信号也可复用于 RSTOUT、GINT0[6]或是 GPIO6。
TK3	39	Touch Key 3 输入 此信号也可复用于 CLKOUT、GINT0[7]或是 GPIO7。
EPORT 模块 0 信号		
GINT0[0]	27	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 PWM0[0]、COMP0_OUT 或是 GPIO0 信号复用。
GINT0[1]	28	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 PWM0[1] 或是 GPIO1 信号复用。
GINT0[2]	29	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 PWM0[2]、TXD1 或是 GPIO2 信号复用。
GINT0[3]	30	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 PWM0[3]、RXD1 或是 GPIO3 信号复用。
GINT0[4]	5	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 TK0 或是 GPIO4 信号复用。
GINT0[5]	4	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 TK1 或是 GPIO5 信号复用。
GINT0[6]	38	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 RSTOUT、TK2 或是 GPIO6 信号复用。

信号名称	引脚号	引脚说明
GINT0[7]	39	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 CLKOUT、TK3 或是 GPIO7 信号复用。
EPORT 模块 1 信号		
GINT1[0]	40	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 SWDIO、AIN0 或是 GPIO16 信号复用。
GINT1[1]	1	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 SWDCK、AIN1 或是 GPIO17 信号复用。
GINT1[2]	3	中断输入 / GPIO 输出 这些双向信号可用作外部中断源或 GPIO 使用。 此信号与 AIN2 或是 GPIO18 信号复用。
PWM 模块 0 信号		
PWM0[3:0]	30, 29, 28, 27	PWM 输出 这些输出信号可用作 PWM0 输出、GINT0[3:0]或 GPIO[3:0]使用。
ADC 模拟信号输入		
AIN2	3	模拟信号输入 此模拟信号用作 ADC 模拟输入通道。 当未配置为模拟输入时，此信号也可用于 GINT1[2] 或是 GPIO18。
AIN1	1	模拟信号输入 此模拟信号用作 ADC 模拟输入通道。 此信号与 SWDCK、GINT1[1]或是 GPIO17 复用。
AIN0	40	模拟信号输入 此模拟信号用作 ADC 模拟输入通道。 此信号与 SWDIO、GINT1[0]或是 GPIO16 复用。
程序烧录信号		
SWDCK	1	程序烧录时钟 此输入信号是用于对内部闪存进行程序烧录时的时钟信号。 此信号也可复用于 GINT1[1]、AIN1 或是 GPIO17。

信号名称	引脚号	引脚说明
SWDIO	40	程序烧录数据 此信号是用于对内部闪存进行程序烧录时的数据信号。 此信号也可复用于 GINT1[0]、AIN0 或是 GPIO16。
时钟信号		
EXTAL	6	系统时钟信号源 此引脚连接至外部 12Mhz 晶振
XTAL	7	系统时钟信号源 此引脚连接至外部 12Mhz 晶振
OSC32K_XI	31	RTC 晶振输入 此引脚连接至外部 32.768Khz 晶振。
OSC32K_XO	32	RTC 晶振输出 此引脚连接至外部 32.768Khz 晶振。
CLKOUT	39	系统时钟信号输出 此输出信号反映内部系统时钟。 当未配置为时钟输出时，此信号也可复用于 GINT0[7]、TK3 或是 GPIO7。
复位输入信号		
RESET#	2	复位输入信号 当 RST# = 0 时，将对内部 MCU 产生复位动作，除了少数由 POR 才能复位的寄存器外，大多数由 MCU 控制的寄存器将回复到默认值。
RSTOUT	38	复位输出信号 此输出信号指示内部复位控制器已在对芯片进行复位。 0 = 芯片处于复位状态 1 = 芯片未复位状态 当未配置为复位输出时，此信号也可复用于 GINT0[6]、TK2 或是 GPIO6。
电源与接地信号		
这些信号为芯片提供系统电源和接地。需确保芯片可以获得足够的电流能力。所有电源信号必须具有足够的旁路电容，以抑制高频噪声。		
VDD33	14, 34	3.3V 电源输入 供给 I/O 与 LDO 的电源

信号名称	引脚号	引脚说明
VDD12	35	1.2V LDO 电源输出 (Core) 供内核数字电路的电源，此引脚必须外接一个 1uF 和一个 0.1uF 滤波电容到地。
AVDD	--	3.3V ADC 等模拟电路的电源输入
VBAT	33	RTC 电源输入 独立的 RTC 电源 (电池) 输入
VSS	41 ^(*)	GND 接地

提示：这是散热焊盘 (Thermal Pad Zone) 必须接到 VSS 或是 GND 。在做 PCB 布局时需要特别注意焊盘的焊接面设计，详细请参考第 7.2 节的说明。

2.4. LT165A 资源表

表 2-3: LT165A 资源表

功 能		LT165A
项 目	说 明	
TFT LCD 屏	8bit 8080 接口	√
	SPI 接口	√
MCU 内核、内存	内核	32-bits RISC
	速度	150MHz
	SRAM 容量	32KB
其他模块接口	Uart 接口	√ (x2)
	SPI 接口	√ (x2)
	QSPI 接口	√ (x1)
	PWM 输出	√ (x4)
	Can Bus	√ (x1)
	ADC 输入	√ (x3)
	Touch Key 接口	√ (x4)
	CTP I2C 接口	√
	GPIO 接口	√ (x11)
	RTC 时钟	√
	UI_Editor-II	√
应用与升级	UI_Emulator-II	√
	Uart 口升级	√
	二次开发	√
	电源	3.3V
电源与封装	封装	QFN-40

3. 硬件接口

3.1. 主控端 MCU 通讯接口

LT165 和主控 MCU 的通讯模式是透过 UART 接口，两边的 UART 接口 TX 及 RX 必须交叉对接，参考下图所示。如果连接的距离很长还需要增加 RS232 驱动芯片，以避免信号衰减影响通讯。串口通讯的软件设置和通讯协议可参考乐升半导体的串口屏应用手册（UI_Editor-II_CH_Vxx.pdf）。

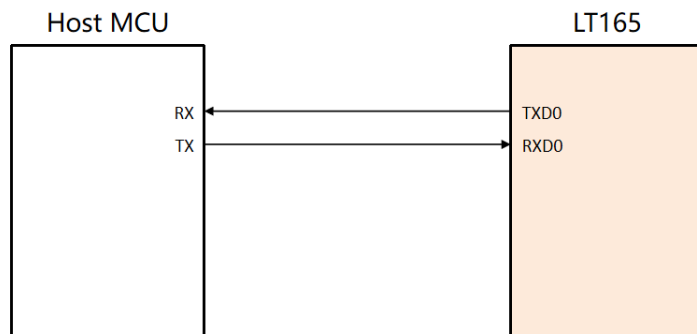


图 3-1：LT165 的串口和主控 MCU 的通讯

3.2. TFT LCD 屏的控制接口

LT165A 提供了一组 8080 总线的 MCU 屏接口（External Bus Interface, EBI），用于驱动并行 8 位 8080 接口的 TFT LCD 面板，参考原理图如下图 3-2 所示：

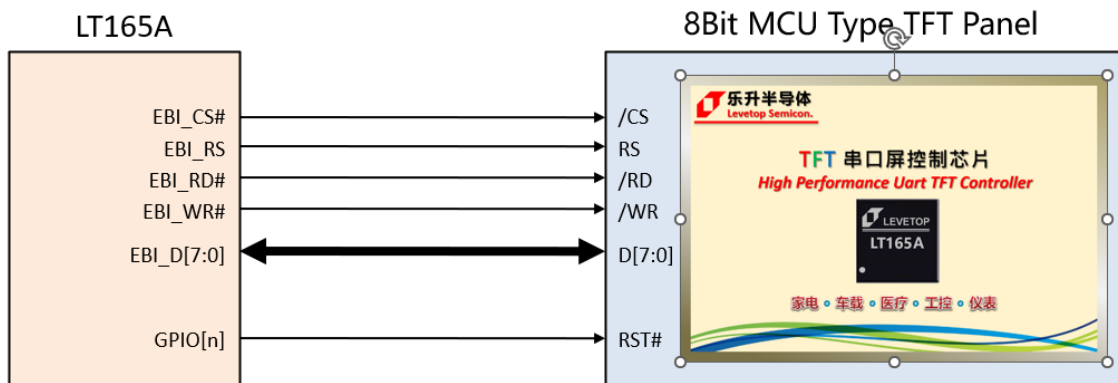


图 3-2：LT165A 与 8 位 8080 并行接口的 TFT 屏连接

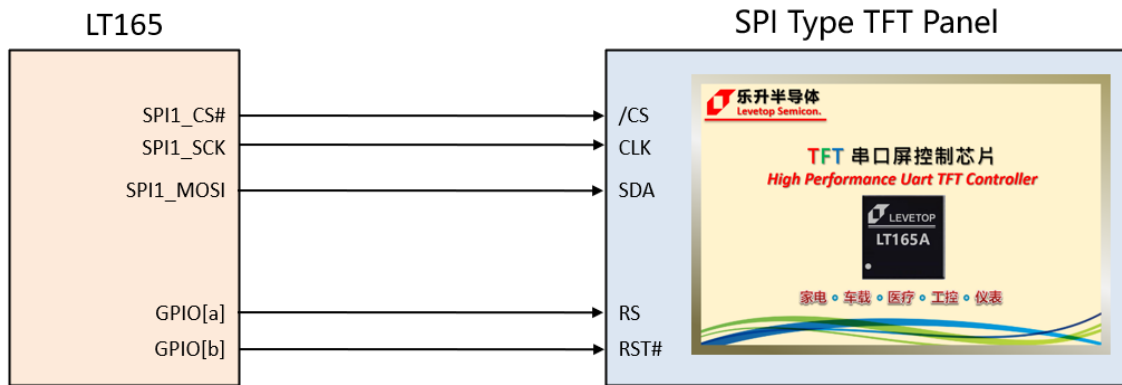


图 3-3: LT165 与 SPI 串行接口的 TFT 屏连接

3.3. QSPI 接口

LT165 有一组 QSPI 的接口，用来连接外部的 QSPI Flash，这个外部的 Flash 是被用做储存程序代码、显示图片、动画、文字和其他信息。当 LT165 收到主控经由 Uart 接口发送过来的串口指令，它会根据指令从 QSPI Flash 提取图片或者其他显示相关信息，传输到 LCD 屏上，参考原理图如下图所示。

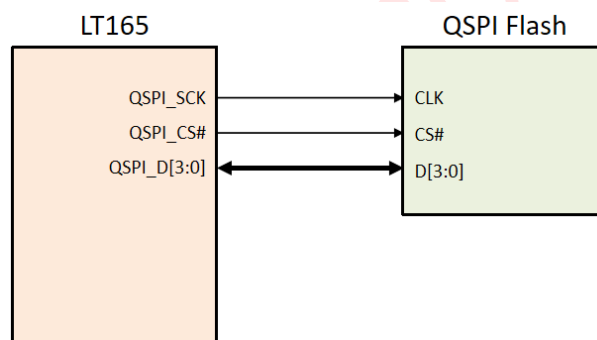


图 3-4: LT165 连接 QSPI Flash 原理图

3.4. LCD 触控屏接口

LT165 有一个 ADC 输入模块和 I2C 的控制电路，可以直接与外部 LCD 上面的触控屏连接，参考原理图如下：

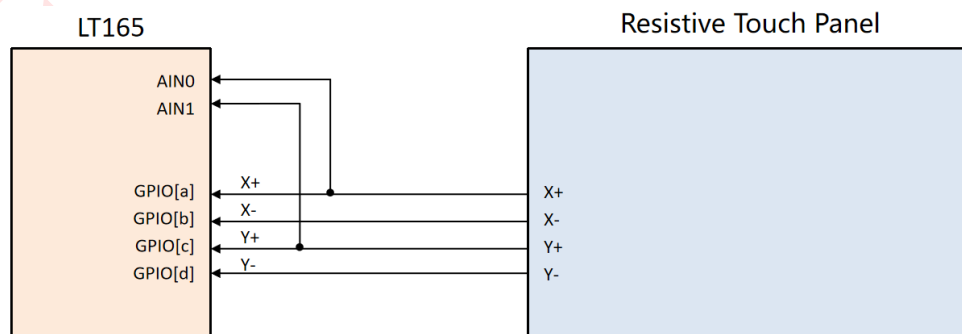


图 3-5: LT165 连接到电阻触控屏

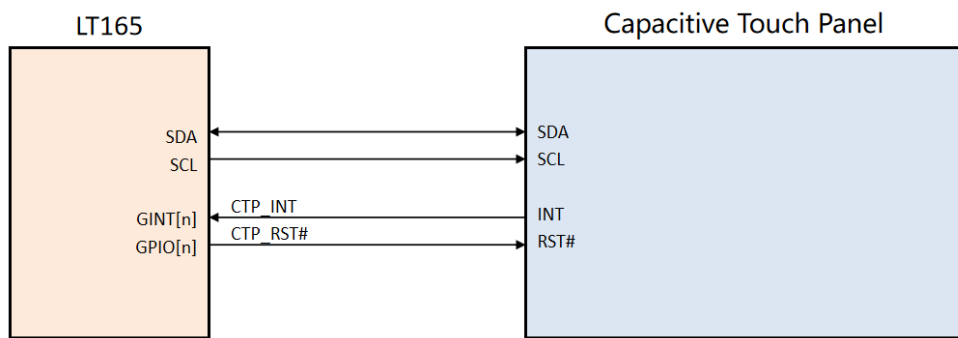


图 3-6: LT165 连接到电容触控屏

3.5. 时钟信号源接口

LT165A 需要一个外部的 12MHz 晶振作为内部的系统时钟来源，参考原理图如下：

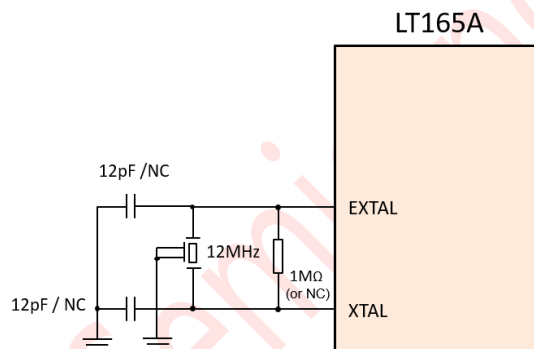


图 3-7: 外部的 12MHz 晶振原理图

3.6. Can Bus 接口

LT165 支持 Can Bus 协议，提供一组 Can Bus 接口，再经过一个 Can Bus 驱动芯片与外部通讯，参考原理图如下：

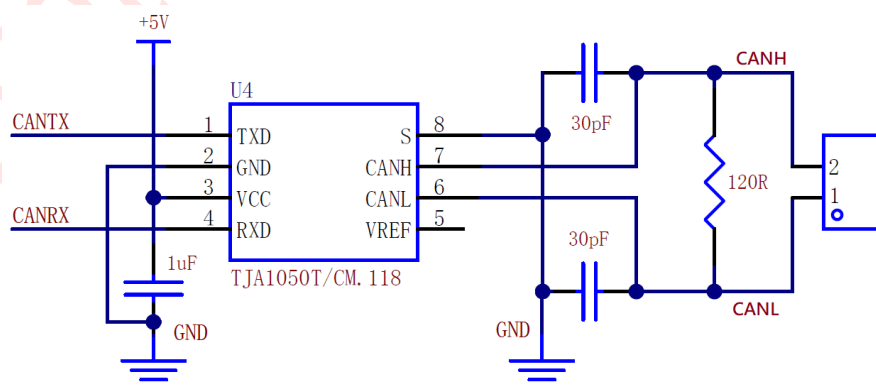


图 3-8: Canbus 驱动原理图

3.7. LCD 背光控制接口

LT165 可以使用 PWM 中的一个通道来提供背光控制的信号 - "BL_PWM", 用来控制 TFT LCD 屏的背光或是背光的升压电路, 参考原理图如下两个范例:

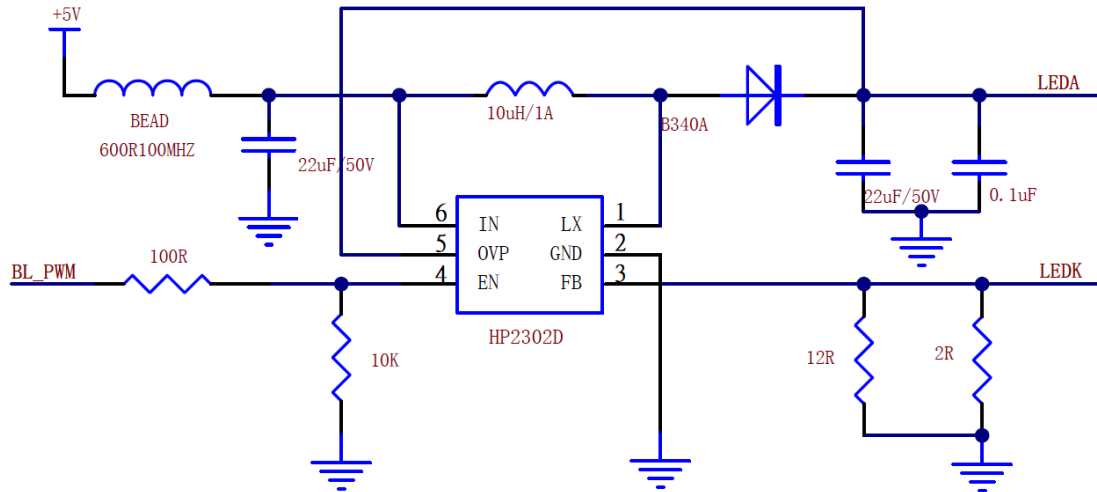


图 3-9: TFT LCD 背光控制参考原理图 - 1

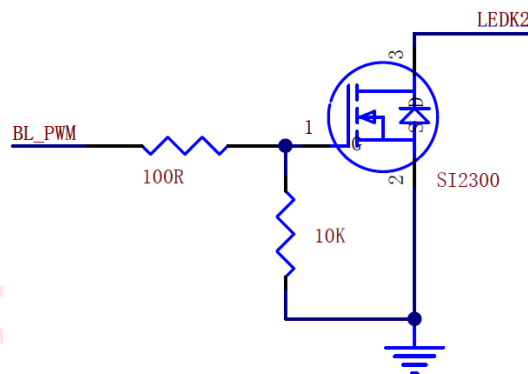


图 3-10: TFT LCD 背光控制参考原理图 - 2

3.8. RTC (Real Time Clock) 的时钟源与电源

LT165 内部有 RTC (Real Time Clock) 时钟模块, 如果使用这个 RTC 时钟, 需要提供一 32.768KHz 的晶振电路, RTC 是独立供电, 如果在外部电源关闭时仍保持 RTC 继续运行可以加上一外部电池电源, 参考原理图如下:

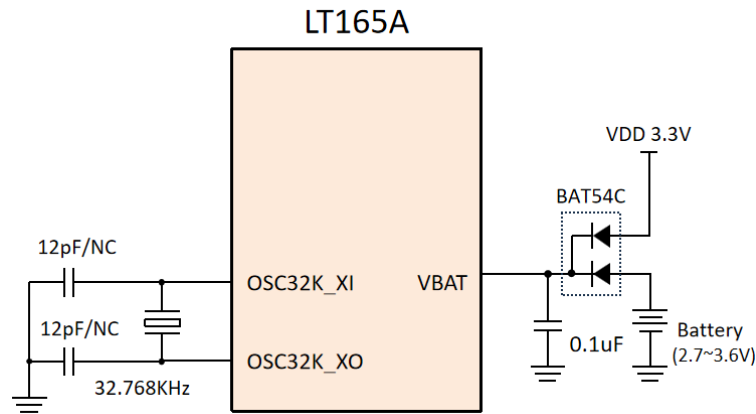


图 3-11: RTC 时钟源与外部电池电源的参考原理图

3.9. 复位 (Reset)

LT165 的硬件复位来源有 2 种, 2 种复位都会经过内部时钟做同步处理:

- 电源开启复位 (Power on Reset)
- 外部复位输入信号 (External Reset Pin, RESET#)

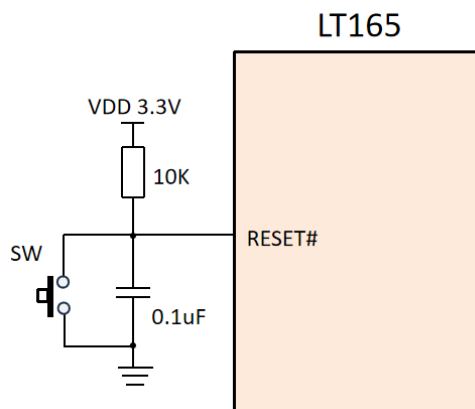


图 3-12: 外部复位参考原理图

4. 内存与寄存器配置

4.1. 简要说明

LT165 的内建/外部内存、寄存器包括：

- 最高 128M Bytes 的外部 QSPI Flash 闪存空间
- 8K Bytes 内部 Boot ROM
- 32K Bytes 内部静态 SRAM
- 各模块内部寄存器

4.2. 内存地址配置图

0xFFFF_FFFF 0xE000_0000	内核寄存器
0x6FFF_FFFF 0x6000_0000	QSPI Flash
0x40FF_FFFF 0x4000_0000	寄存器
0x2FFF_FFFF 0x2000_0000	EBI (8080)
0x0080_FFFF 0x0080_0000	内部 SRAM
0x0000_1FFF 0x0000_0000	ROM

图 4-1：内存地址配置图

表 4-1：硬件模块与寄存器地址的配置图

配置地址	最大区块	硬 件 模 块
0x4000_0000	64Kbyte	Direct Memory Access Controller (DMAC)
0x4001_0000	64Kbyte	System Integration Module (SIM)
0x4002_0000	64Kbyte	Reset Control Module (RCM)
0x4003_0000	64Kbyte	Clock Control Module (CLKM)
0x4004_0000	64Kbyte	Programmable Interrupt Timer 0 (PIT0)
0x4005_0000	64Kbyte	Programmable Interrupt Timer 1 (PIT1)
0x4006_0000	64Kbyte	Reserved
0x4007_0000	64Kbyte	Reserved
0x4008_0000	64Kbyte	Serial Communication Interface 1 (SCI1)
0x4009_0000	64Kbyte	Serial Communication Interface 0 (SCI0)
0x400A_0000	64Kbyte	Analog Comparator 0 (COMP0)
0x400B_0000	64Kbyte	Reserved
0x400C_0000	64Kbyte	Reserved
0x400D_0000	64Kbyte	Pulse Width Modulator 0 (PWM0)
0x400E_0000	64Kbyte	Reserved
0x400F_0000	64Kbyte	Edge Port Module 0 (EPORT0)
0x4010_0000	64Kbyte	Edge Port Module 1 (EPORT1)
0x4011_0000	64Kbyte	Analog-to-Digital Convertor (ADC)
0x4012_0000	64Kbyte	Option Byte (OPB)
0x4013_0000	64Kbyte	WatchDog Timer (WDT)
0x4014_0000	64Kbyte	Real Time Controller (RTC)
0x4015_0000	64Kbyte	Inter-Integrated Circuit (I2C)
0x4016_0000	64Kbyte	Touch Controller
0x4017_0000	64Kbyte	Crossbar Switch (XBAR)
0x4018_0000	64Kbyte	External Bus Interface (EBI)
0x4019_0000	64Kbyte	CACHE Module (CACHM)
0x401A_0000	64Kbyte	Reserved
0x401B_0000	64Kbyte	Reserved
0x401C_0000	64Kbyte	CANBus Controller (CANBC)
0x401D_0000	64Kbyte	Reserved
0x401E_0000	64Kbyte	Serial Peripheral Interface Module - SPI0
0x401F_0000	64Kbyte	Serial Peripheral Interface Module - SPI1
0x6000_0000	64Kbyte	Synchronous Serial Interface 0 (SSI0) - QSPI0
0xE000_0000	4Kbyte	Embedded Interrupt Controller (EIC)
0xE000_1000	4Kbyte	Embedded Programmable Timer (EPT)

提示：详细寄存器配置请参考完整规格书。

5. 电气特性

5.1. 极限参数

表 5-1：电气极限参数表

符号	参数描述	参数范围	单位
V_{DD33}	电源电压	-0.5 ~ 4.6	V
V_{IN}	逻辑输入电压	-0.5 ~ $V_{DD33}+0.5$	V
V_{OUT}	逻辑输出电压	-0.5 ~ $V_{DD33}+0.5$	V
P_D	最大功耗	≤ 300	mW
T_{OPR}	工作温度范围	-40 ~ 105	°C
T_{JT}	工作结温范围	-40 ~ 125	°C
T_{ST}	储存温度范围	-55 ~ 150	°C
T_{SOL}	最高焊接温度	260	°C

提示：最大极限值是指超出该工作范围时，芯片有可能损坏。推荐工作范围是指在该范围内，器件功能正常，但并不完全保证满足个别性能指针。电气参数定义了器件在工作范围内并且在保证特定性能指针的测试条件下的直流和交流电参数规范。对于未给定上下限值的参数，本规范不予保证其精度，但其典型值合理反映了器件性能。

5.2. DC 电气参数

表 5-2：IO 电气参数表(3.3V)

项目	符号	最小值	典型值	最大值	单位
工作电压	V_{DD33}	$V_{OPL}^{(*)1}$	3.3	3.63	V
输入高电位	V_{IH}	2.0	-	$V_{DD33}+0.3$	V
输入低电位	V_{IL}	-0.3	-	0.8	V
输出高电位	V_{OH}	$V_{OPL} \times 0.8$	-	V_{DD33}	V
输出低电位	V_{OL}	0	-	0.4	V
输入漏电流	I_{IN}	-	-	1	uA
上拉电阻	RPU	33	41	62	K Ω
下拉电阻	RPD	33	42	68	K Ω

提示*1：参考下表 5-4。

表 5-3：电源特性

项目	符号	最小值	典型值	最大值	单位
芯片电源	VDD33	VOP _L	3.3	3.63	V
ADC 工作电压	AVDD	VOP _L	3.3	3.63	V
内核工作电压 (LDO O/P)	VDD12	1.1	1.2	1.3	V
RTC 工作电压	VBAT	1.7	3.3	3.6	V

表 5-4：PVDC 设置表对应 VOP_L

PVDC	检测电压	VOP _L
2' b00	2.16V	2.31V
2' b01	2.32V	2.47V
2' b10	2.48V	2.63V
2' b11	2.64V	2.79V

提示：

1. PVDC 为可编程电压探测器配置寄存器，请参考详细规格书第 14.1.1 节说明。
2. 因 LT165A 代码配置在外挂的 SPI Flash 内，因此 SPI Flash 的最低工作电压需低于 VOP_L 的设置电压。

5.3. ESD 保护规格

表 5-5：ESD 保护规格

ESD 项目	符号	最大值	单位	参考标准
Human Body Model	HBM	±4,000	V	ANSI/ESDA/JEDEC JS-001-2017
Machine Model	MM	200	V	JEDEC JESD22-A115C-2010
Charged Device Model	CDM	±1000	V	ANSI/ESDA/JEDEC JS-002-2022
Latch Up (常温)	LU	±200	mA	JEDEC JESD78F.01-2022, @25°C

提示：在进行人工焊接时建议人员与设备要做防静电处理，如适当的温湿度环境、焊接设备接地、防静电工作台、及焊接人员戴防静电手腕带等等。

5.4. VDD 上电时序

LT165 使用时必须注意 VDD 的上电 (Power Up) 要求, 在上电时 VDD33 必须在低电压 (V_L) 维持至少 400ms 以上的等待时间 (T_{WAIT}), 同时 VDD33 由 V_L 到正常工作电压的上升时间 (T_R) 也不能太长, 必须在 500ms 内达正常的工作电压范围, 否则容易导致 LT165 内部的 MCU 无法正常启动。

表 5-6: VDD 上电 (Power Up) 特性

参数	符号	条件与说明	Min.	Nom.	Max.	单位
Rise Time	T_R	输入电压由 V_L 到正常工作电压的上升时间	-	-	500	ms
Wait Time	T_{WAIT}	Power On 之前 V_L 的保留时间	400	-	-	ms
VDD 输入电压	V_L	at $T=T_1$ on pin VDD33 (Power On 前的输入电压)	-	-	200	mV
VDD 输入电压	V_H	正常工作电压	$V_{OP_L}(*1)$	3.3	3.63	V

提示*1: 参考上表 5-4。

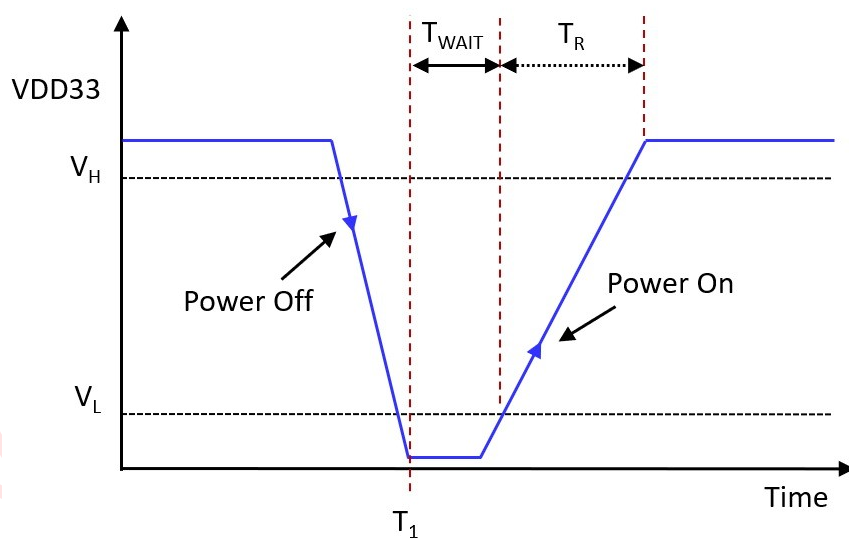


图 5-1: VDD 上电要求时序图

6. 参考原理图

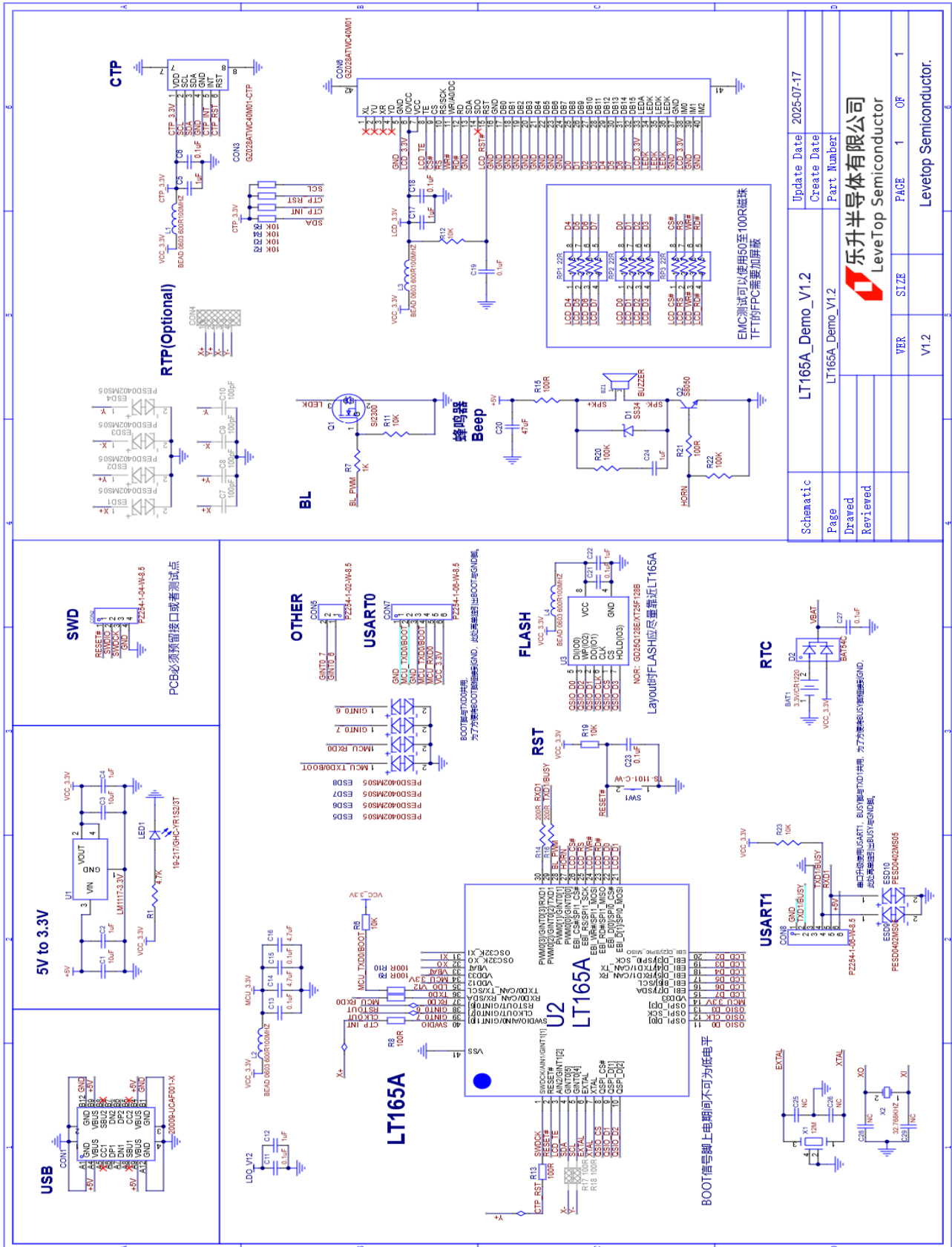


图 6-1: LT165A 接 8bit 8080 MCU 屏的参考原理图

LT165_BFDS_CH / V1.2

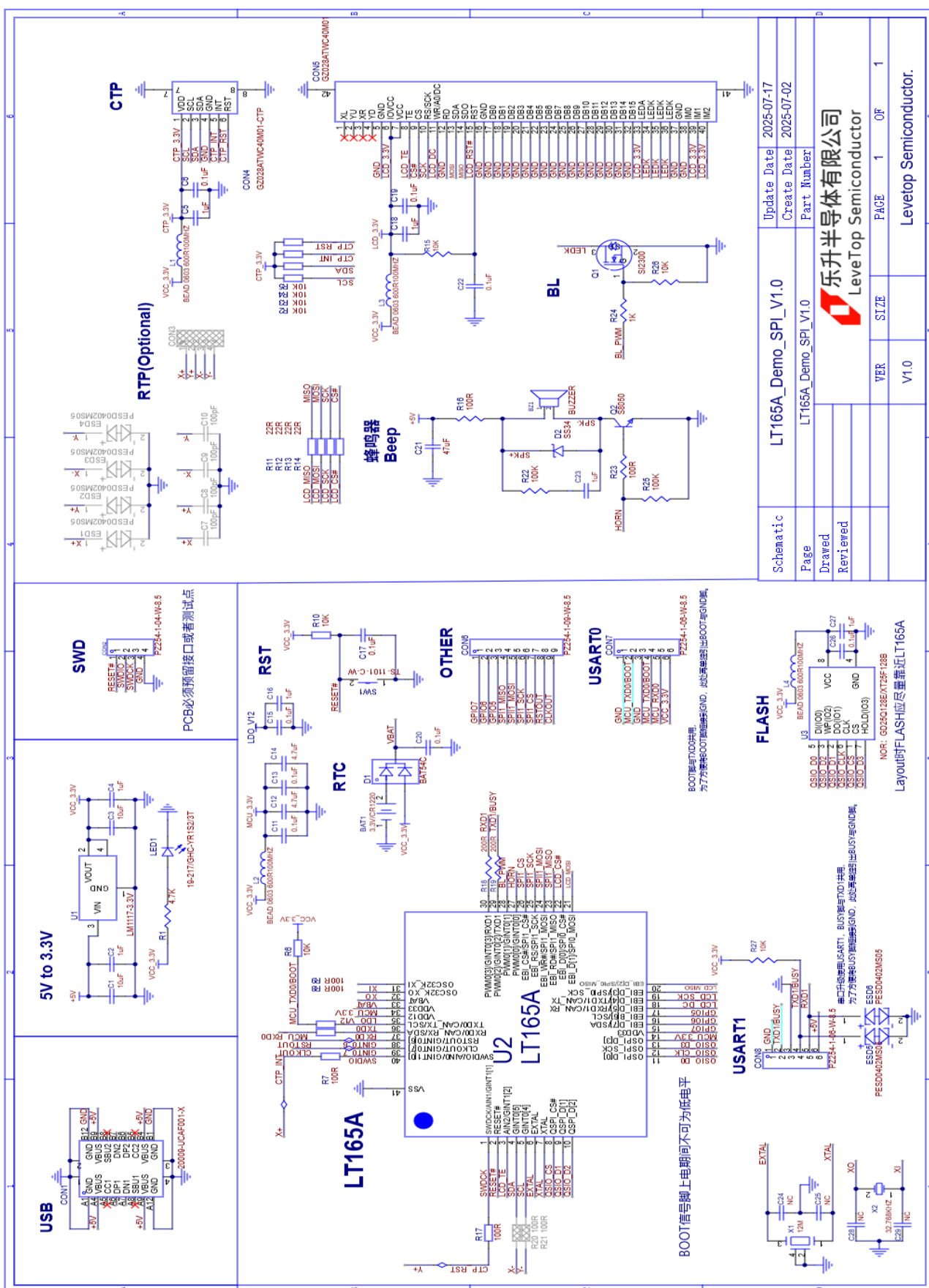


图 6-2: LT165A 接 SPI MCU 屏的参考原理图

LT165 BFDS CH / V1.2

7. 封装讯息

7.1. LT165A (QFN-40pin)

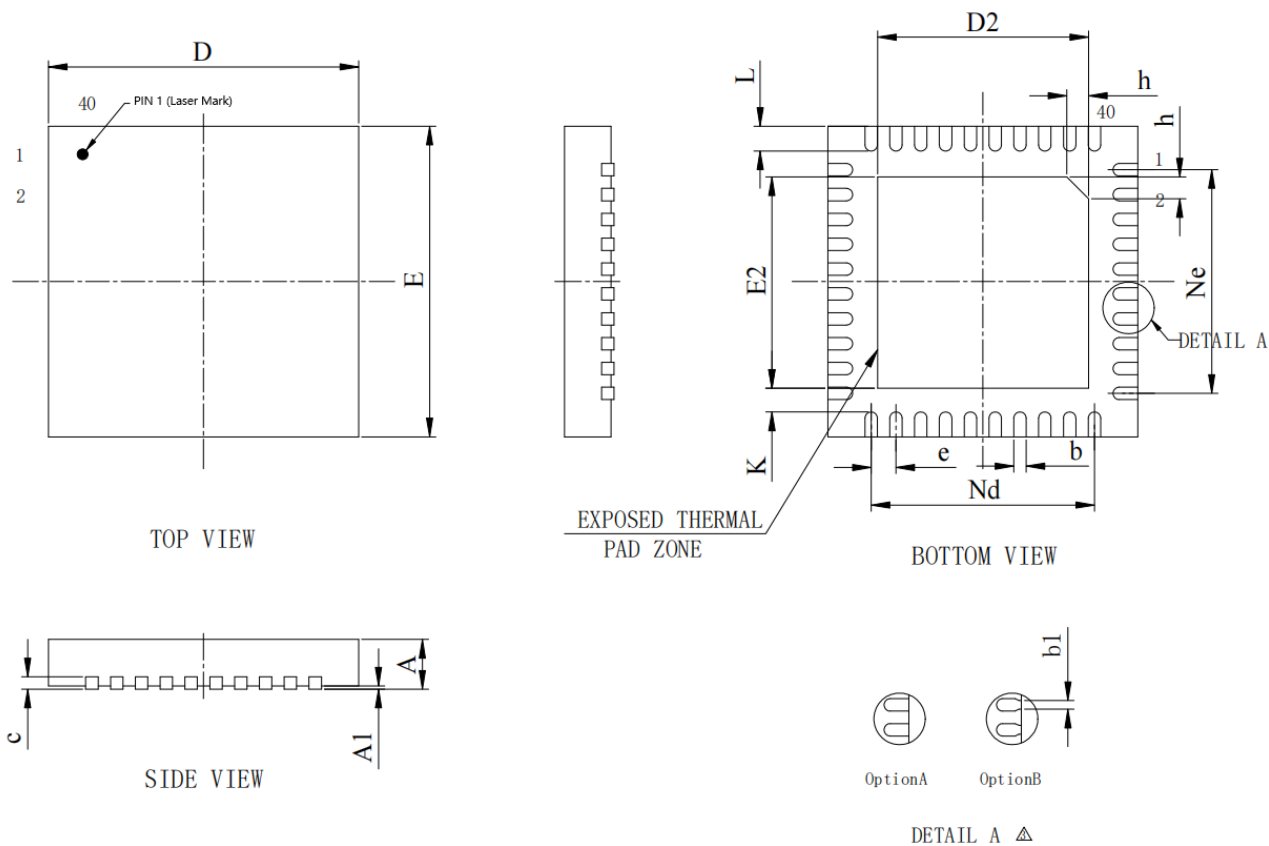


图 7-1: LT165A 外观尺寸图

提示：PCB 布局时，LT165A 背部的散热焊盘（Thermal Pad Zone）必须直接接地。焊盘的 PCB 布线请参考 7.3 节的说明。

表 7-1: LT165A 封装尺寸参数

Symbol	Millimeter			Symbol	Millimeter		
	Min.	Nom.	Max		Min.	Nom.	Max
A	0.70	0.75	0.80	Nd	3.6BSC		
A1	--	0.02	0.05	E	4.90	5.00	5.10
b	0.15	0.20	0.25	E2	3.30	3.40	3.50
b1	0.14REF			Ne	3.60BSC		
c	0.18	0.25	0.30	L	0.35	0.40	0.45
D	4.90	5.00	5.10	K	0.20	--	--
D2	3.30	3.40	3.50	h	0.30	0.35	0.40
e	0.40BSC						

7.2. 芯片接地焊盘的 PCB 设计

LT165A 采用 QFN 封装，芯片背部为接地（GND）的散热焊盘，为了达到更好的散热与降低焊接风险，在 PCB Layout 时建议把 LT165A 底部焊盘的 PCB 铜箔面分割为四个或是多个小的焊接面（方形或是圆形），并且各焊接面之间的间隔设置在~0.8mm，避免 PCB 使用相同甚至大于 LT165A 焊盘大小的完整焊接面而造成焊接不全，或是在焊接冷却后 PCB 与芯片焊盘拉扯导致芯片变形及接触不良。正确的 PCB 焊盘布局如下图 LT165A 范例，中间浅黄色区是 LT165A 底部的接地焊盘，灰色区是 PCB 接地小焊盘（焊接面），每个焊盘过孔接地 1~2 个既可。

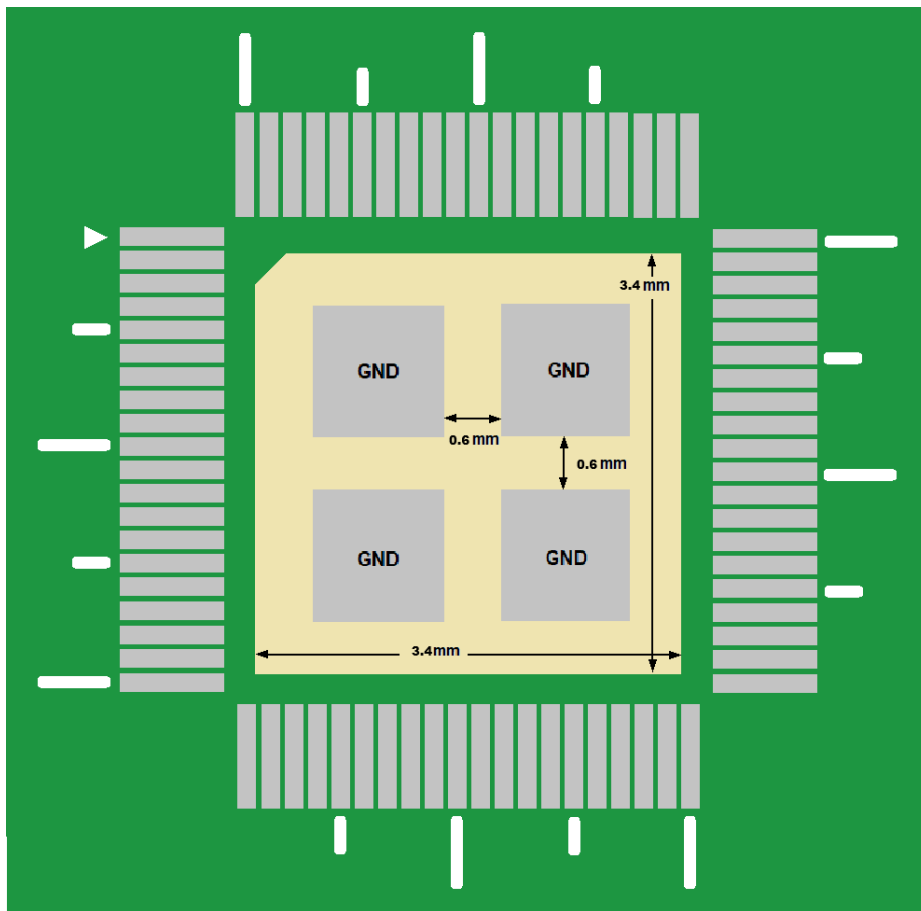


图 7-2：LT165A 底部焊盘 PCB 的设计建议