

LEVETOP

LT168x PCB 布板 与 EMI/EMC 建议

V1.1

版本记录

版 本	日 期	说 明
V1.0	2024/12/26	整合初版
V1.1	2025/04/22	增加 1.6 章节以及更新其他布板注意事项、3.2 章节 EFT 的描述与图片

版权说明

本文件之版权属于 乐升半导体 所有，若需要复制或复印请事先得到 乐升半导体 的许可。本文件记载之信息虽然都有经过校对，但是 乐升半导体 对文件使用说明的规格不承担任何责任，文件内提到的应用程序仅用于参考，乐升半导体 不保证此类应用程序不需要进一步修改。乐升半导体 保留在不事先通知的情况下更改其产品规格或文件的权利。有关最新产品信息，请访问我们的网站 [Http://www.levetop.cn](http://www.levetop.cn) 。

目 录

版本记录	2
版权说明	2
目 录	3
图 附 录	4
1. PCB 布板注意事项	5
1.1. 3.3V 电源输入布线	5
1.2. 电源线通过过孔走线	5
1.3. Flash 的布局与走线	6
1.4. 晶振的布局与走线	6
1.5. USB 的布局与走线	7
1.6. LT168A/B 滤波电容的布局	7
1.7. QFN 封装芯片底部焊盘设计	8
1.8. 其他布板注意事项	9
2. EMC/EMI 优化方案	10
2.1. EMC 优化建议	10
2.2. EMI 优化建议	12
3. 原理图检查流程	18
3.1. LT168x 时钟与电源电路	18
3.2. 原理图检查项目	20

图 附录

图 1-1: 电源信号线走线范例	5
图 1-2: 电源信号线过孔打孔范例	5
图 1-3: 外部 Flash 芯片位置布板范例	6
图 1-4: 晶振位置布板范例	6
图 1-5: USB 的位置布板范例	7
图 1-6: LT168A 的滤波电容布局	7
图 1-7: LT168B 的滤波电容布局	8
图 1-8: LT168B (QFN68) 焊盘与脚位图	8
图 1-9: LT168A 导线通过滤波电容示意图	9
图 1-10: 电源线过孔大小以及泪滴处理示意图	9
图 2-1: 电源输入高频脉冲稳定性优化建议	10
图 2-2: 外部接口 EMC 优化与布板示例图	10
图 2-3: SD 卡 EMC 优化建议	10
图 2-4: SWD 烧录口 EMC 优化建议	11
图 2-5: CTP 相关信号 EMC 优化建议	11
图 2-6: TFT 电源输入 EMC 优化建议	11
图 2-7: 主控部分添加金属屏蔽罩支架示例图	12
图 2-8: 电源输入 EMI 优化范例	12
图 2-9: 电源输入优化布板示例图	12
图 2-10: 串口通信 EMI 优化建议	13
图 2-11: LCD 背光电路 EMI 优化范例	13
图 2-12: LCD 背光电路优化布板示例图	13
图 2-13: 蜂鸣器/喇叭电路 EMI 优化范例	14
图 2-14: 蜂鸣器/喇叭电路优化布板示例图	14
图 2-15: CTP EMI 优化建议	15
图 2-16: 引出信号的 EMI 优化建议	15
图 2-17: TFT 信号 EMI 优化建议	16
图 2-18: VCOM 接口 EMI 优化建议	16
图 2-19: VGH/VGL 电路 EMI 优化参考原理图	17
图 2-20: VGH/VGL 电路优化布板示例图	17
图 3-1: 时钟信号	18
图 3-2: LT168A、LT168B 时钟电路	18
图 3-3: LT168A、LT168B 电源电路(一)	19
图 3-4: LT168A、LT168B 电源电路(二)	19
图 3-5: RST 电路	20
图 3-6: 3.3V 的 DC to DC 电源电路范例	20
图 3-7: TFT 屏的 FPC 做包覆处理	21
图 3-8: 降低 EFT 干扰的参考电路	21

1. PCB 布板注意事项

1.1. 3.3V 电源输入布线

电容电阻之间布线可走 0.5mm (20mil) 线宽走线, 以 LT168B 为例, 接入的电源线尽量走 0.3mm (12mil) 线宽走线, 焊盘扇出走线可走 0.17mm (7mil) 线宽走线。

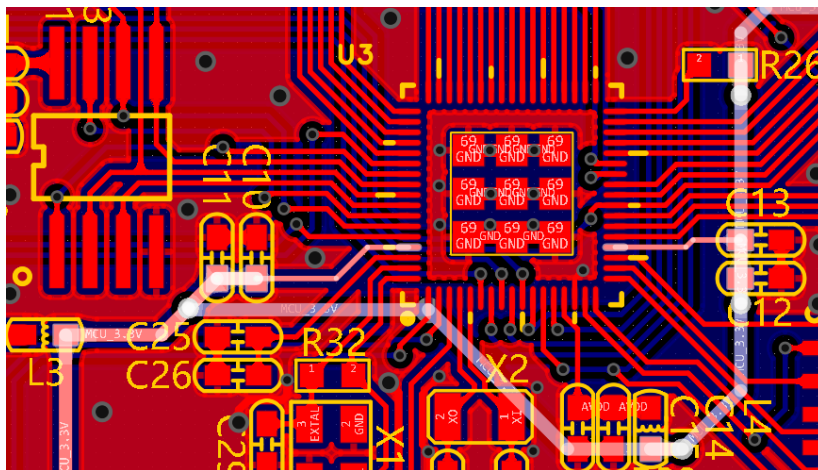


图 1-1: 电源信号线走线范例

1.2. 电源线通过过孔走线

过孔尺寸: 外径 0.8mm (31mil) 内径 0.5mm (20mil), 建议视情况增加到 2-3 个过孔来连接, 条件充足的情况下, 应该尽量对大电流的线进行扩面加粗及增加 PCB 过孔数。

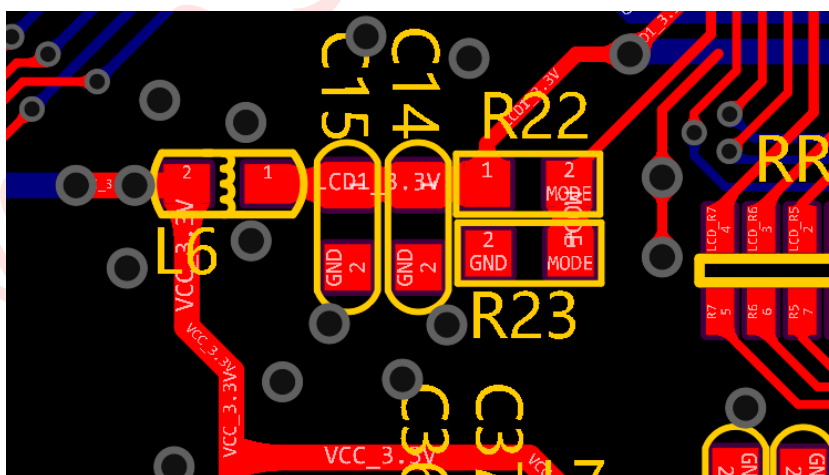


图 1-2: 电源信号线过孔打孔范例

1.3. Flash 的布局与走线

在进行 Layout 布板时，Flash 位置应尽量靠近主芯片，Flash 的控制线应尽量短，并且要对 Flash 进行包地处理。

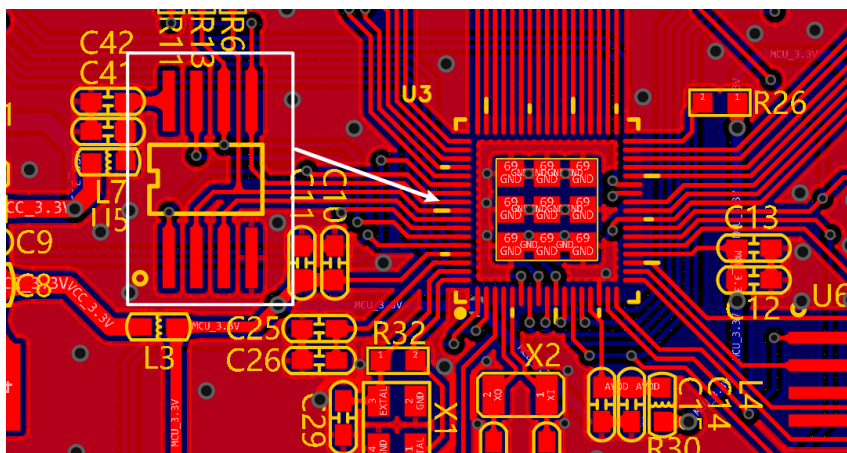


图 1-3：外部 Flash 芯片位置布板范例

1.4. 晶振的布局与走线

晶振电路应靠近串口屏主芯片，晶振下面及 PCB 背部不能走线，建议电路周围用地线包地。

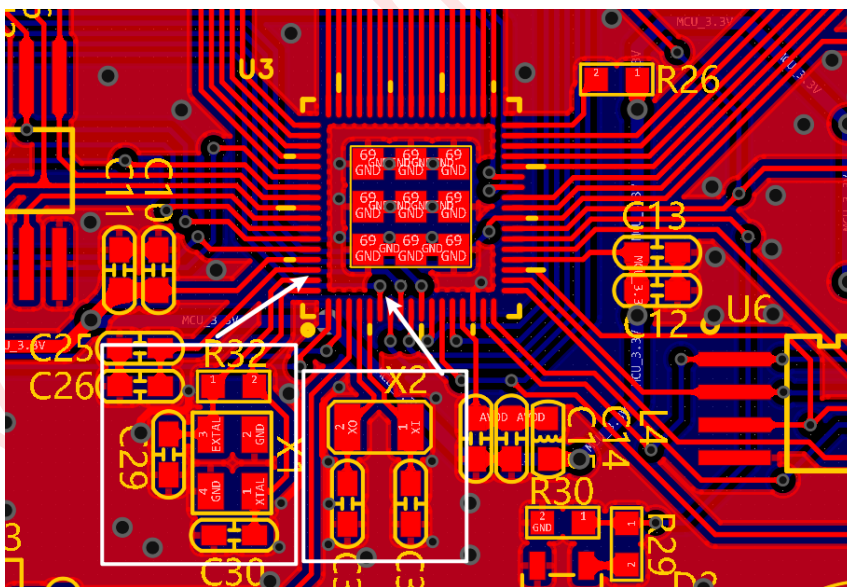


图 1-4：晶振位置布板范例

1.5. USB 的布局与走线

USB 接口应该尽量靠近芯片的 DM、DP 脚，DM、DP 网络走线要遵循差分走线，差分对长度误差控制在 $\pm 0.254\text{mm}$ 。

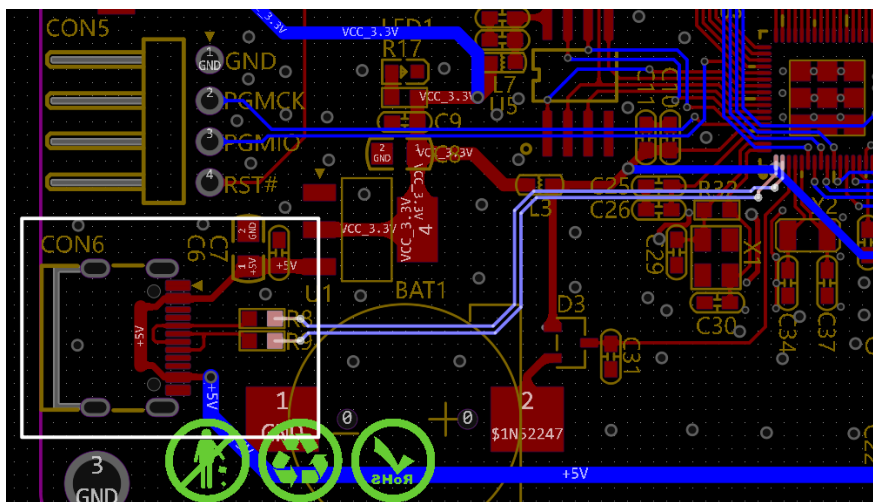


图 1-5：USB 的位置布板范例

1.6. LT168A/B 滤波电容的布局

LT168A 与 LT168B 的 VDD33、VDD12 与 AVDD 的滤波电容需要尽量靠近 MCU 引脚。

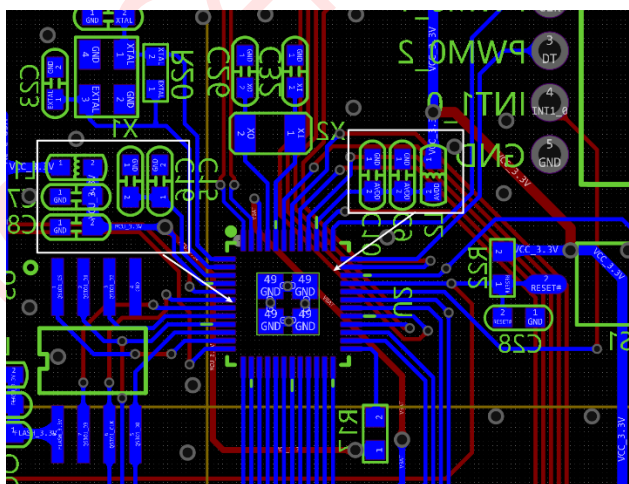


图 1-6：LT168A 的滤波电容布局

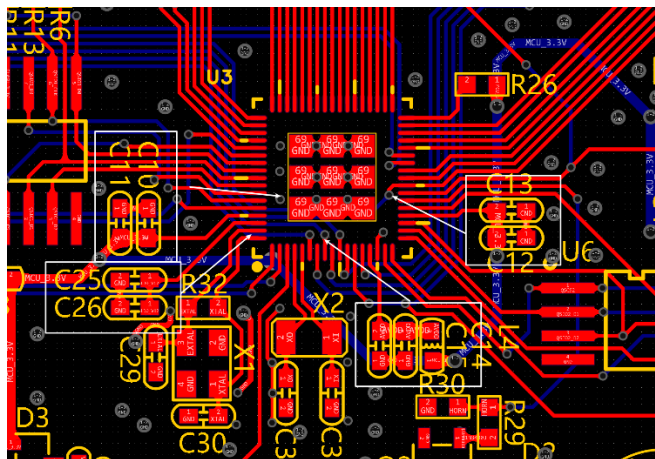


图 1-7 : LT168B 的滤波电容布局

1.7. QFN 封装芯片底部焊盘设计

LT168 采用 QFN 封装，芯片背部为接地（GND）的散热焊盘，为了达到更好的散热与降低焊接风险，在 PCB Layout 时建议把 LT168 底部焊盘的 PCB 铜箔面分割为四个或是多个小的焊接面（方形或是圆形），并且各焊接面之间的间隔设置在~0.8mm, 避免 PCB 使用相同甚至大于 LT168 焊盘大小的完整焊接面而造成焊接不全，或是在焊接冷却后 PCB 与芯片焊盘拉扯导致芯片变形及接触不良。

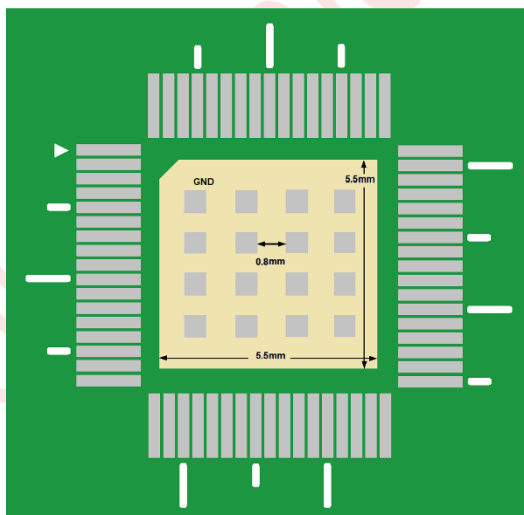


图 1-8: LT168B (QFN68) 焊盘与脚位图

1.8. 其他布板注意事项

- 有滤波电容的信号或者电源线需要确保通过滤波电容后再输入到 IC，如图 1-9。

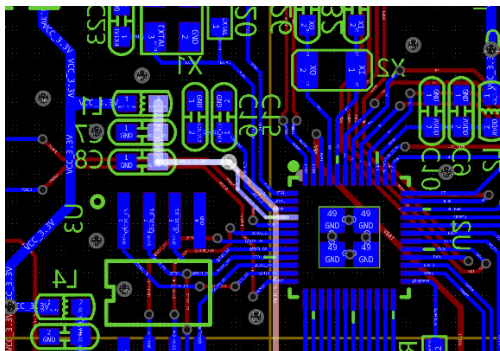


图 1-9: LT168A 导线通过滤波电容示意图

- 电源线的过孔相比其他信号线应该适当增大，电源线的粗细尽量减少突然增大或者缩小，如需要增大或者减少，在导线粗细变化的连接处应该进行泪滴处理，如图 1-10。

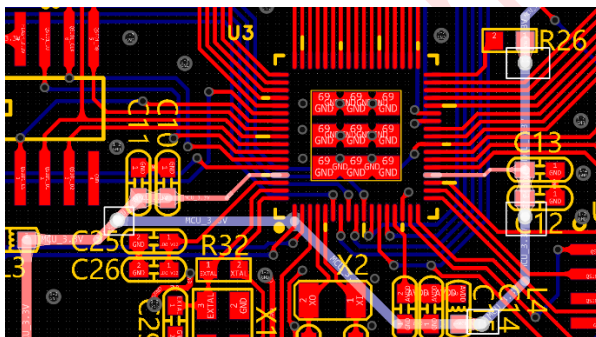


图 1-10: 电源线过孔大小以及泪滴处理示意图

- 注意电源线和信号线的分布，避免电源线不必要的绕行。
- 电源及地线的间距应该要足够，避免打板或焊接出现短路现象。
- QFN 封装的底部焊盘必须充分接地。
- PCB 对应原理图走线有没有错误。
- 电源及地线的间距应该要足够，避免打板或焊接出现短路现象。
- 布线检查、标号检查、接插件检查、正反检查，及走线是否流畅检查等。
- 增加工艺测试点，比如重点信号，电源电压信号等。
- 增加程序测试点，可以用 MCU 引线做一个开关信号。
- 调试测试点，比如难测的重要信号，最好引出测试点。
- 预留螺丝孔或 PCB 的固定孔。
- 尺寸核对、尺寸检测。
- 结构核对，避免组件过高或摆放位置卡到结构。
- PCB 板名及版本是否标示清楚。
- 串口屏芯片主核心电路部份建议（或是预留）用金属罩接地罩住，可增加抗干扰能力。
- 抗干扰的扼流圈应靠近电源输入端。
- PCB 要保留与 TFT 外框金属壳的接触或焊接点。

2. EMC/EMI 优化方案

2.1. EMC 优化建议

- 在电源输入端增加 TVS 管，对电路有高频脉冲稳定性要求可在电源输入端添加压敏电阻（R21）

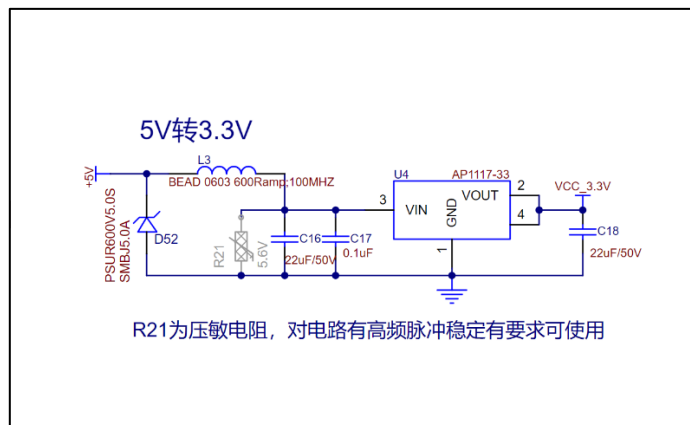


图 2-1：电源输入高频脉冲稳定性优化建议

- 在与上位机通信接口，通信信号脚添加 ESD 静电保护二极管，并靠近连接器放置。

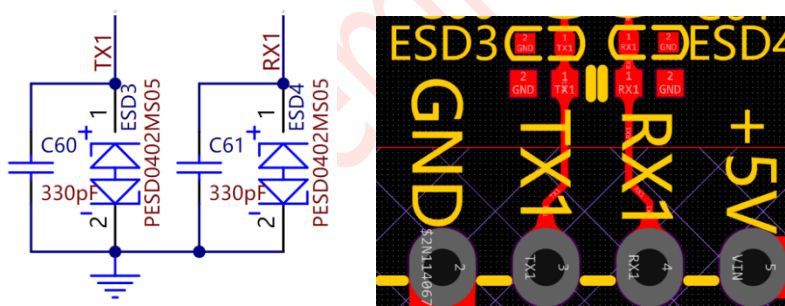


图 2-2：外部接口 EMC 优化与布板示例图

- 如果使用 SD 卡，需在 SD 卡信号脚以及电源脚添加 ESD 静电保护二极管，并靠近连接器放置。

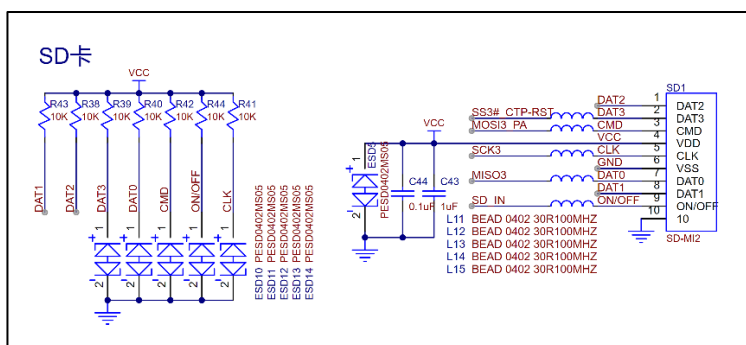


图 2-3：SD 卡 EMC 优化建议

LT168_PCB_EMI_CH / V1.1

- SWD 烧录的下载口信号添加 ESD 静电保护二极管，并靠近连接器放置。

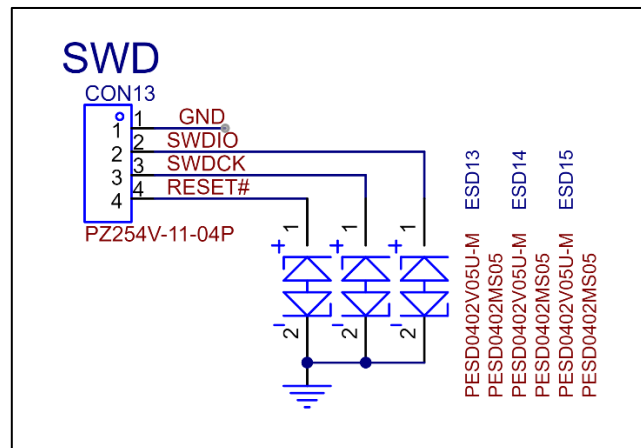


图 2-4: SWD 烧录口 EMC 优化建议

- 使用 CTP 电容触摸时，触摸信号以及电源输入端添加 ESD 静电保护二极管，并靠近连接器放置。

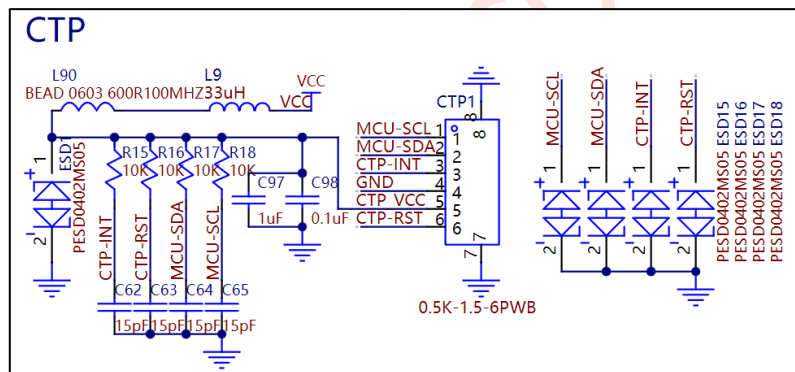


图 2-5: CTP 相关信号 EMC 优化建议

- TFT 屏电源脚添加 ESD 静电保护二极管，并靠近连接器放置。

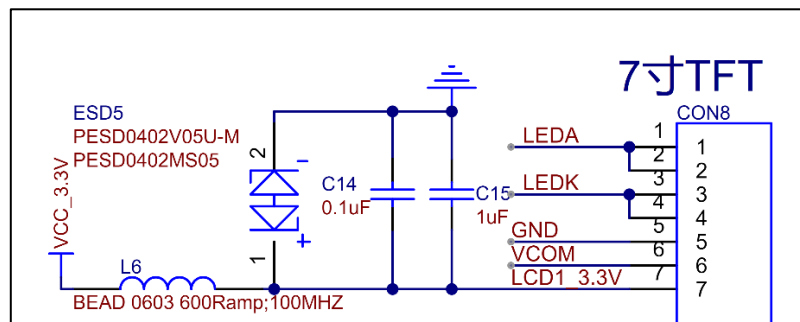


图 2-6: TFT 电源输入 EMC 优化建议

2.2. EMI 优化建议

- MCU 主控部分电路可添加金属屏蔽罩支架。

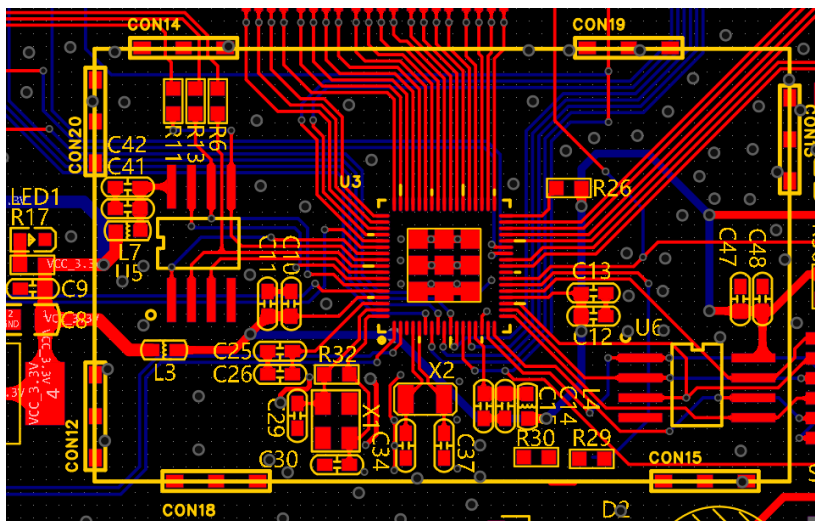


图 2-7：主控部分添加金属屏蔽罩支架示例图

- 电源输入口 VIN 以及 GND 需分别串联磁珠，并且电源输入端附近需要添加 TVS 管以及滤波电容。电源输入口 VIN 周围与地要进行隔离。

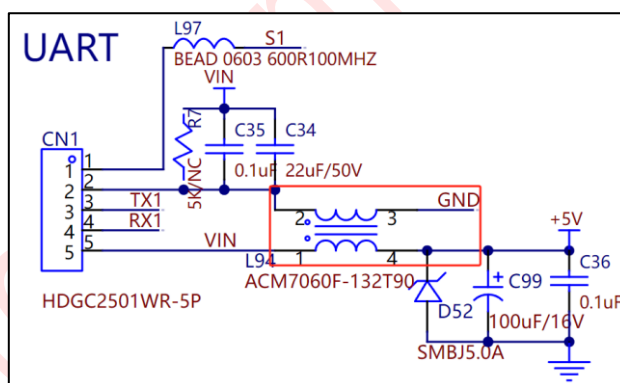


图 2-8：电源输入 EMI 优化范例

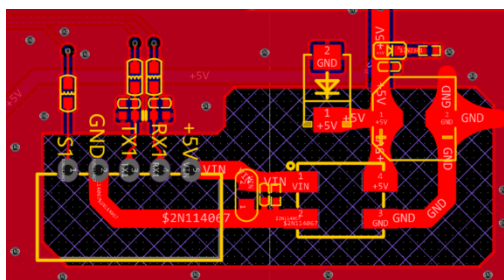


图 2-9：电源输入优化布板示例图

- 如果使用串口屏芯片(如 LT7589A/B、LT7689、LT168x、LT268x)，在串口通信接口处，通信信号脚可以串上 50R 磁珠，并靠近连接器放置。

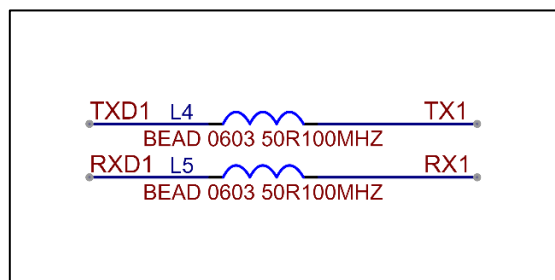


图 2-10: 串口通信 EMI 优化建议

- 背光电路电源输入以及 LEDA 输出均需要串 600R 磁珠，并且 PCB 布板时需要进行铺铜隔离，并且单点接地。

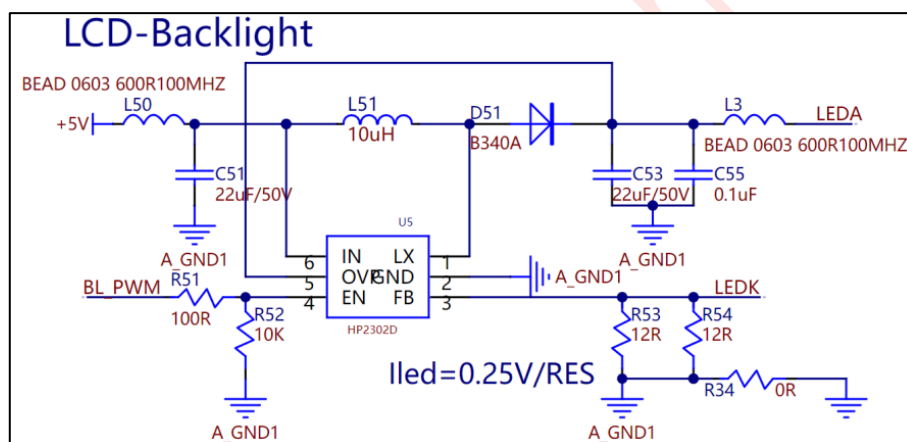


图 2-11: LCD 背光电路 EMI 优化范例

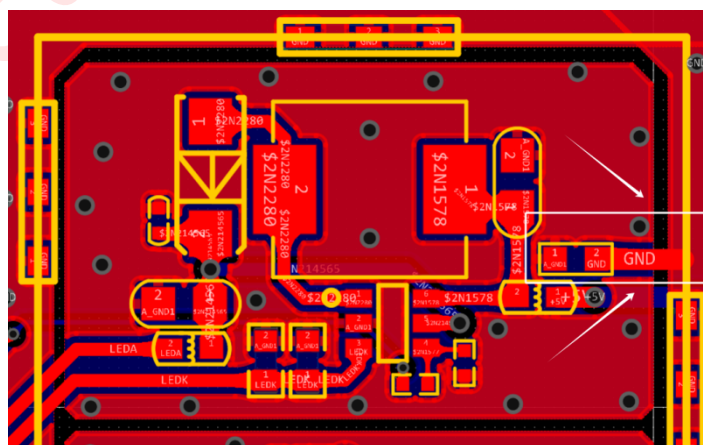


图 2-12: LCD 背光电路优化布板示例图

- 蜂鸣器/喇叭电路应该用 5V 供电，串 0805 封装的 600R 磁珠，用 1206 封装的 47uF 作为滤波电容，当使用蜂鸣器时，R47 采用 100R 的阻值，当使用喇叭时，R47 采用 10R 的阻值。

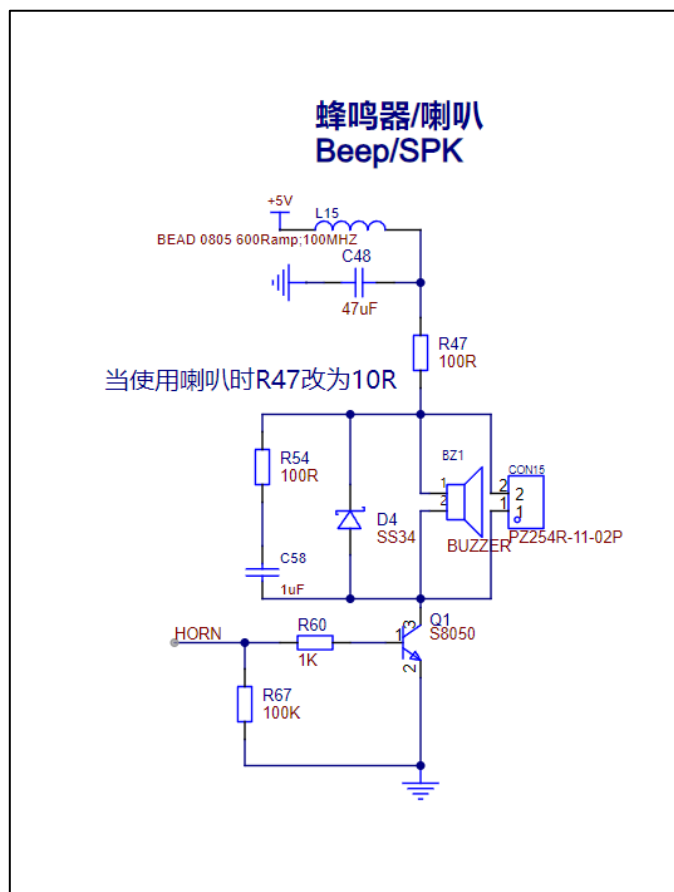


图 2-13：蜂鸣器/喇叭电路 EMI 优化范例

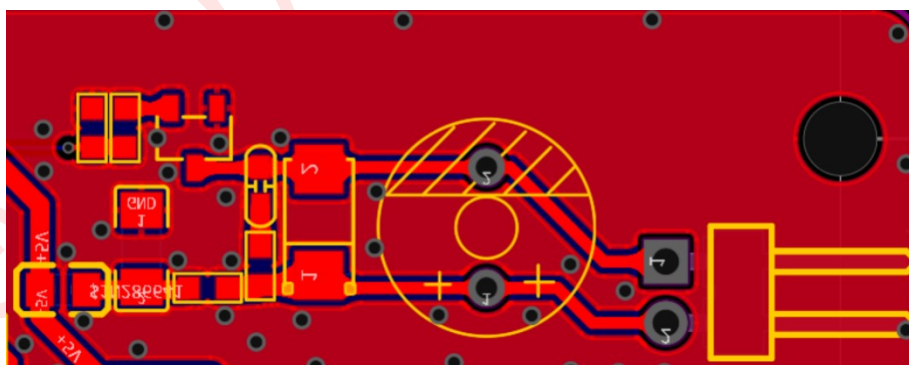


图 2-14：蜂鸣器/喇叭电路优化布板示例图

- CTP 电容触摸接口电源输入需要串 33uH 电感以及 600R 磁珠，CTP 电源的以及信号线需要增加 ESD，并靠近 CTP 的 FPC 端子摆放。

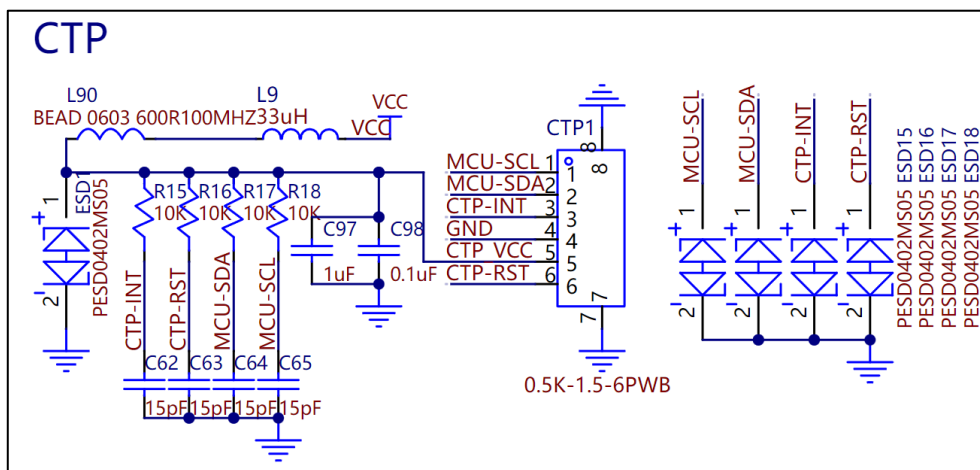


图 2-15: CTP EMI 优化建议

- 一些需要用排针、端子等引出的信号，例如 Bootloader 下载口、UART 接口等，需要增加 ESD 并靠近接口摆放。

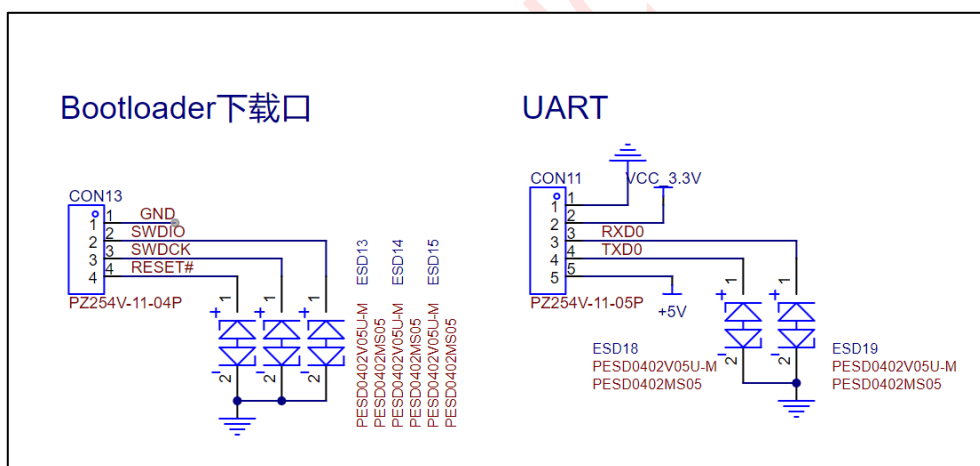


图 2-16: 引出信号的 EMI 优化建议

- TFT 显示信号脚均串联 50R-100R 磁珠排或者磁珠。

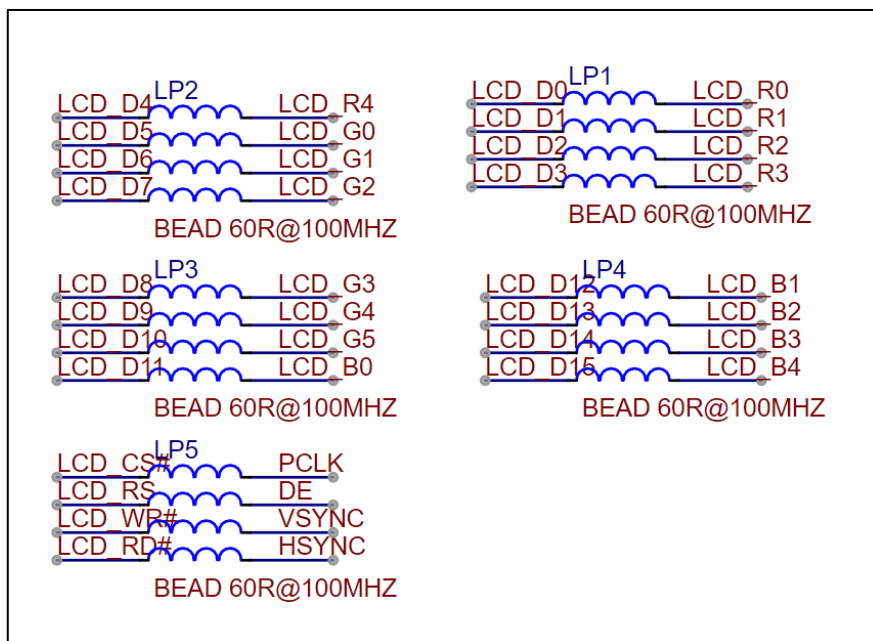


图 2-17: TFT 信号 EMI 优化建议

- VCOM 的 DM、DP 需要增加 ESD，采用结电容小于 4pF 的 ESD 并靠近接口处摆放

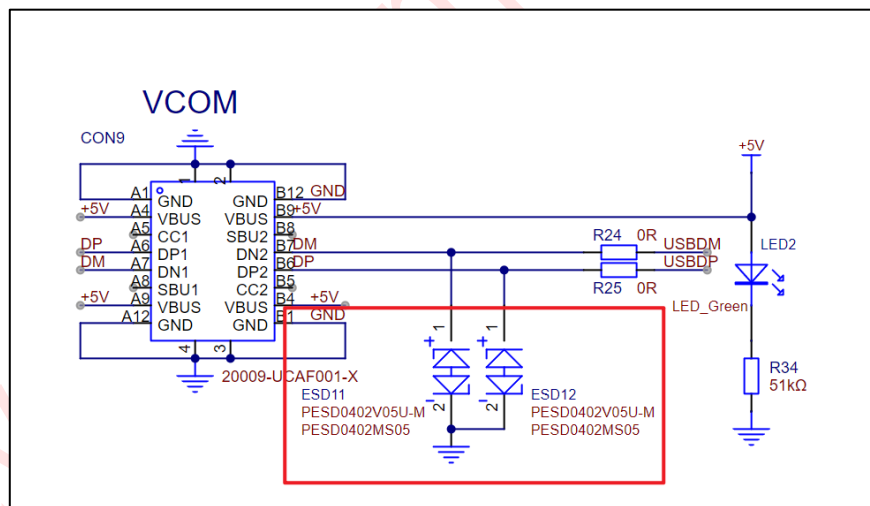


图 2-18: VCOM 接口 EMI 优化建议

- VGH/VGL 电路电源输入串 600R 磁珠, AVDD/VCOM/VGL/VGH 输出分别串联 600R 磁珠, 并且 Layout 时需要进行铺铜隔离, 并且单点接地。

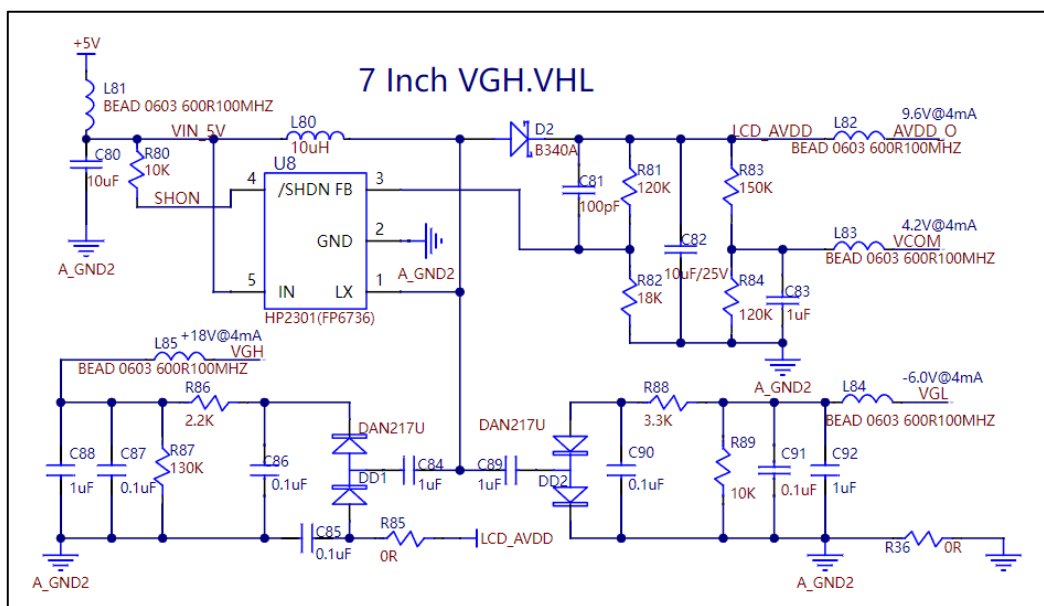


图 2-19: VGH/VGL 电路 EMI 优化参考原理图

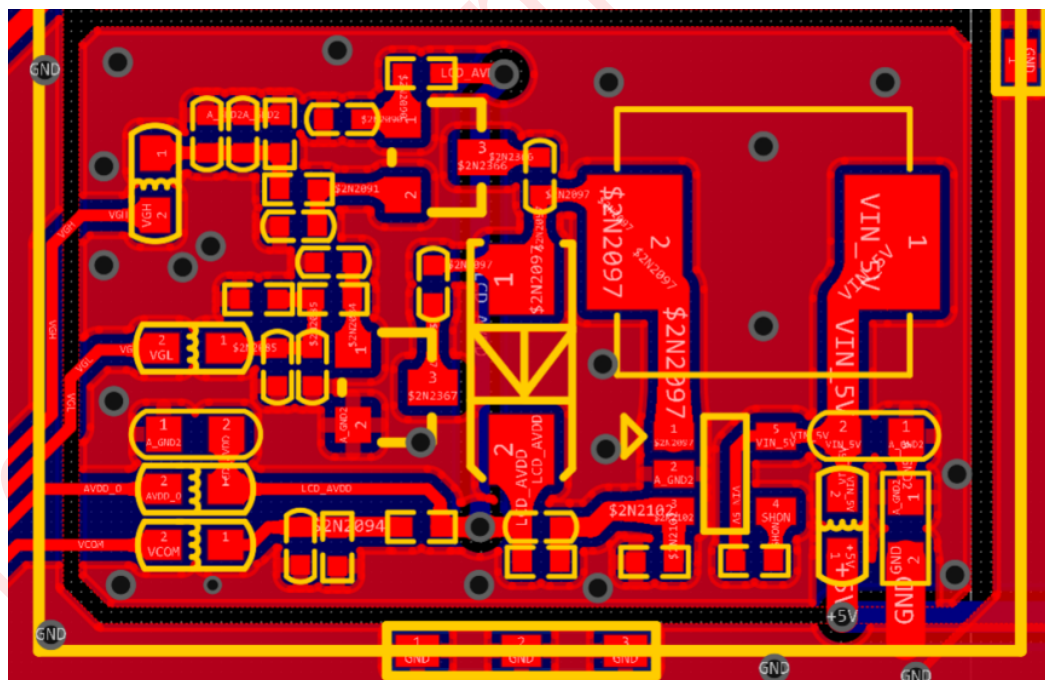


图 2-20: VGH/VGL 电路优化布板示例图

3. 原理图检查流程

3.1. LT168x 时钟与电源电路

图 3-1: 时钟信号

信号名称	引脚号		引脚说明
	LT168A	LT168B	
时钟信号			
EXTAL	47	67	系统时钟信号源 此引脚连接至外部 12Mhz 晶振
XTAL	48	68	系统时钟信号源 此引脚连接至外部 12Mhz 晶振
OSC32K_XI	5	5	RTC 晶振输入 此引脚连接至外部 32.768Khz 晶振。
OSC32K_XO	4	4	RTC 晶振输出 此引脚连接至外部 32.768Khz 晶振。

LT168A、LT168B 的时钟输入分为系统时钟和 RTC 时钟，若不需要 RTC 功能可以不需要 RTC 时钟，可以采用有源晶振或是石英晶振（如图 3-1），时钟信号走线越短越好，同时避开其他信号线。如果要使用石英晶振，系统时钟建议用四脚 3225 封装 12MHZ 晶振，且晶振两端需要 12PF 对地电容，预留 1M 电阻，RTC 时钟建议采用两脚 3215 封装 32.768KHZ 晶振，晶振两端可以预留 12pF 对地电容。

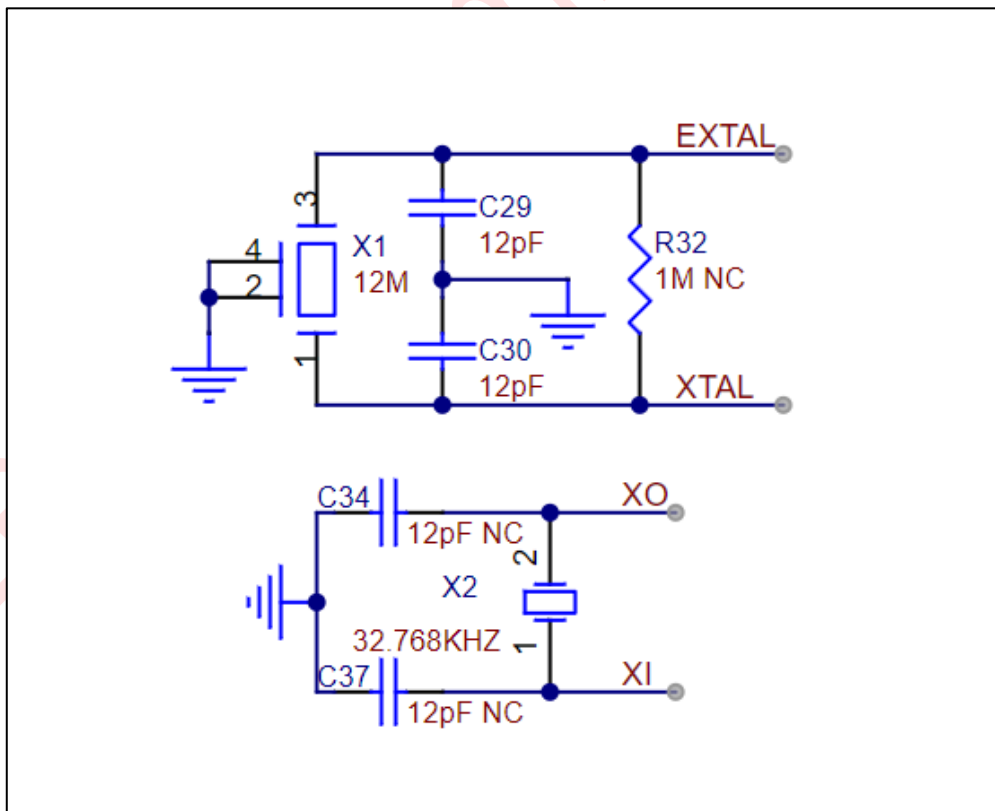


图 3-2: LT168A、LT168B 时钟电路

LT168A、LT168B 的 VDD33 与 AVDD 需要用磁珠隔离，LT168B 的 VDD33 需要至少两组 4.7uF 和 0.1uF 滤波电容，LT168A 的 VDD33 需要至少一组 4.7uF 和 0.1uF 滤波电容，LT168A 与 LT168B 的 AVDD 则需要一组 1uF 和 0.1uF 滤波电容(如图 3-2)。LT168A 与 LT168B 的 VDD12 需要一组 1uF 和 0.1uF 滤波电容 (如图 3-3)。

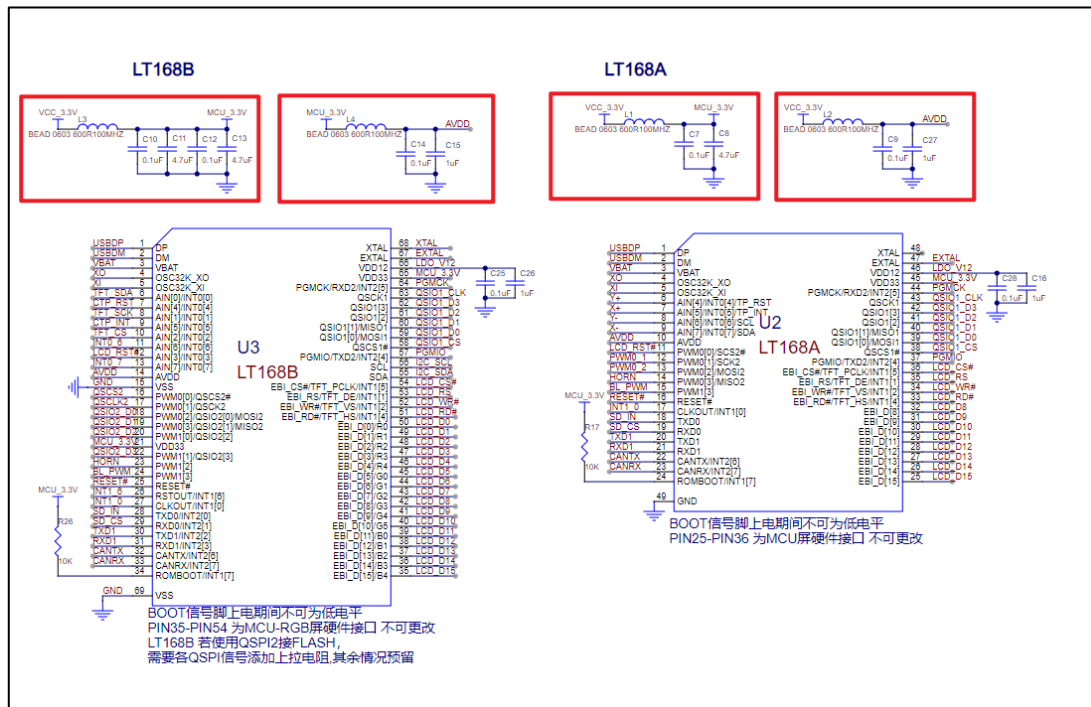


图 3-3: LT168A、LT168B 电源电路(一)

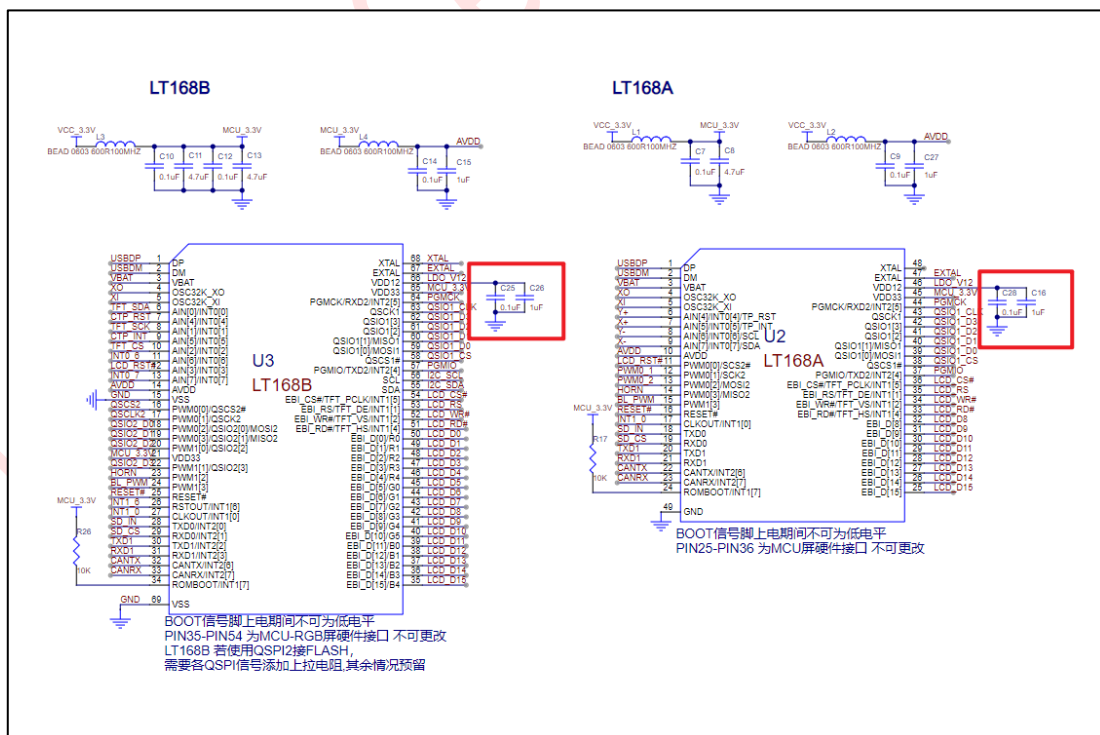


图 3-4: LT168A、LT168B 电源电路(二)

LT168_PCB_EMI_CH / V1.1

3.2. 原理图检查项目

- 原理图走线检查是否对应有错误;
- RGB 接口: PCLK、PDE、HSYNC、VHYNC 是否对应屏的接口,串电阻或留测试点, 数据线要高位对齐, 需要 SPI 初始化的屏, SPI 预留测试口;
- 若不使用 RTC 功能, VBAT 脚也需要接到 3.3V, 不能悬空;
- 若使用 VCOM 更新程序, BUSY 脚需要上拉并引出;
- ROMBOOT 信号脚上电期间不可为低电平, 需要接上拉电阻;
- 芯片复位需要采用复位 IC 电路, 保证芯片运行的稳定性(如图 3-5);
- PCB 必须预留 Bootloader 下载接口或者测试点;

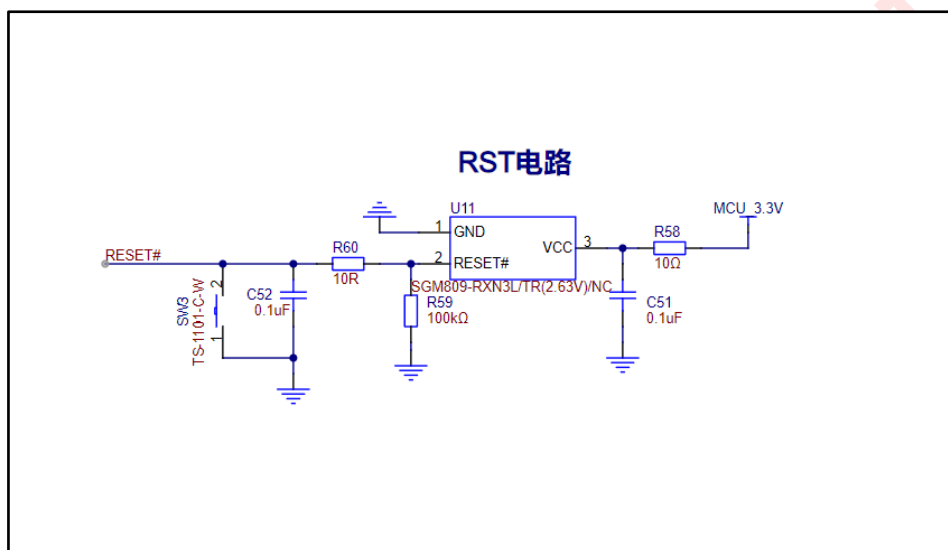


图 3-5: RST 电路

- LT168B 驱动分辨率为 480*480 的 RGB 屏必须要增加 PSRAM;
- IC 电源供电是否正确;
- 确认原理图组件参数值电压值选用合理及满足电路要求
- 相关 EMC/EFT 干扰与抗干扰对策:
 1. 电源滤波电路及组件 (滤波电容) 质量要好。
 2. 产生 3.3V 的 DC to DC 电源输入端、输出端除了原有的滤波电容外, 再加上扼流圈 (磁珠)
 3. 产生 TFT 屏背光的 DC to DC 电源输入端除了原有的滤波电容外, 再加上扼流圈 (磁珠)

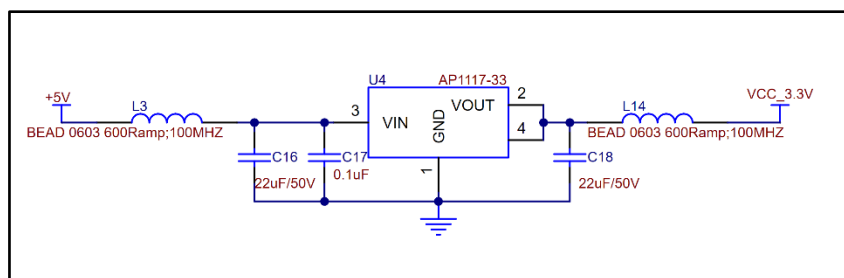


图 3-6: 3.3V 的 DC to DC 电源电路范例

LT168_PCB_EMI_CH / V1.1

4. 必要时 TFT 屏的 FPC 可做包覆处理 (如图 3-6)。
5. RGB 输出信号加串接磁珠。
6. 高干扰环境需增加 ESD 保护组件。
7. 高干扰环境 LT168A/B 核心电路部分可以加上金属罩接地。

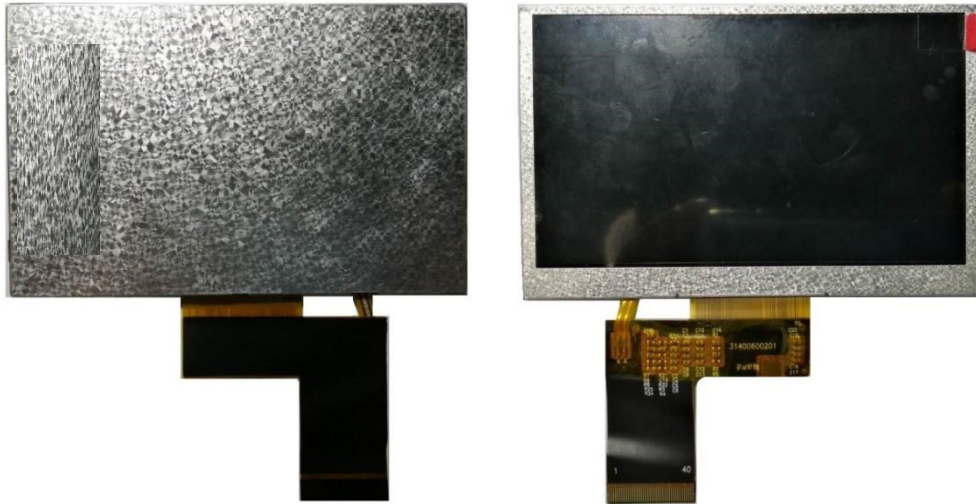


图 3-7: TFT 屏的 FPC 做包覆处理

8. EFT (Electrical Fast Transient) 电快速瞬变脉冲群的电源处理: 正负两端都要用电感隔离, 电源输入端需要增加 5.6V 的压敏电阻。

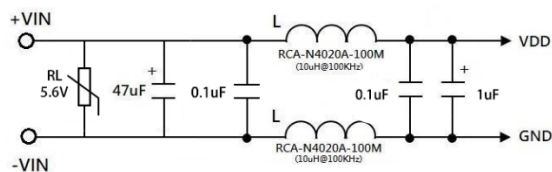


图 3-8: 降低 EFT 干扰的参考电路